



TITLE:

インターライン転送方式を用いた ビデオカメラ用CCD撮像素子の研 究(Dissertation_全文)

AUTHOR(S):

宮武, 茂博

CITATION:

宮武, 茂博. インターライン転送方式を用いたビデオカメラ用CCD撮像素子の研究. 京都大学, 1987, 工学博士

ISSUE DATE:

1987-05-23

URL:

<https://doi.org/10.14989/doctor.r6257>

RIGHT:

インターライン転送方式を用いた
ビデオカメラ用CCD撮像素子の研究

1986年

宮 武 茂 博

インターライン転送方式を用いた ビデオカメラ用CCD撮像素子の研究

1986年

宮 武 茂 博

DOC
1987
14
電気系

目 次

第1章 序 論	1
1.1 ま え が き	1
1.2 固体撮像素子の方式	1
1.2.1 方式の分類	1
1.2.2 C C D方式	4
1.2.3 x-yアドレス方式と混合方式	9
1.3 本研究の目的と内容	10
第2章 トランスファゲートレス構造	15
-T G L構造を用いた撮像素子-	
2.1 ま え が き	15
2.2 素子の構造	15
2.3 素子の動作	21
2.4 素子の特性	25
2.5 ま と め	28
第3章 クロック配線分離構造	30
-C L I P構造を用いた撮像素子-	
3.1 ま え が き	30
3.2 素子の構造	30
3.3 素子の動作	33
3.3.1 動作の概要	33
3.3.2 フレーム蓄積モードの動作	33
3.3.3 フィールド蓄積モードの動作	36
3.4 素子の特性	38
3.4.1 飽和信号電流と暗電流	38
3.4.2 解像度特性	42
3.5 ま と め	47

第4章 浅いpウェル構造と $n^+ - n^- - p - n$ 構造ホトダイオード	49
—SPW構造と $n^+ - n^- - p - n$ ホトダイオードを用いた撮像素子—	
4.1 ま え が き	49
4.2 素子の構造	50
4.3 素子の動作	52
4.4 素子の特性	53
4.4.1 動作条件	53
4.4.2 飽和信号電流	54
4.4.3 暗電流	55
4.4.4 解像度特性	57
4.4.5 スミア特性	57
4.4.6 M T F	58
4.5 ま と め	60
第5章 高解像度・高感度・低スミア撮像素子	62
5.1 ま え が き	62
5.2 素子の構造	63
5.3 素子の特性	67
5.3.1 特性の概要	67
5.3.2 飽和信号電流	69
5.3.3 スミア特性	71
5.3.4 分光感度特性	72
5.3.5 M T F	73
5.4 ま と め	75
第6章 結 論	79

第 1 章 序 論

1.1 まえがき

固体撮像素子は、電子ビームにより走査する従来の撮像管と比較して、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きがなく、振動や磁界などの環境条件に強い。また、その構造から、信頼性が高く長寿命であることが期待される。更に、LSI (large-scale integration) と共通あるいは類似の工程で製造されることから、究極的には低価格になることが予想される。このように固体撮像素子は数多くの魅力的な特長を持つため、その研究開発が活発に行われてきた。

固体撮像素子の研究の開始は約 20 年前に遡るが、⁽¹⁾⁽²⁾ 1969 年に Boyle と Smith によって発明された ⁽³⁾CCD (charge-coupled device) により、固体撮像素子への期待は一層強いものになった。また、MOS (metal-oxide-semiconductor) LSI 技術の進展は、大規模撮像素子の実現を可能にした。

本論文は CCD を用いた固体撮像素子に関するものであり、特にインターライン転送方式 CCD 撮像素子のビデオカメラへの実用化を目指して行われた研究について述べるものである。

この章では、第 2 節で固体撮像素子の各種の方式について概説することにより本研究の背景を示したあと、第 3 節で本研究の目的を述べ、その概要の紹介を行う。

1.2 固体撮像素子の方式⁽⁴⁾

1.2.1 方式の分類

固体撮像素子は、各画素に分離された光電変換部と、そこで発生した信号電荷を時系列で取り出すための信号転送部から成っている。それ故、固体撮像素子の方式は、光電変換部と信号転送部それぞれについて分類することができる。

光電変換部と信号転送部を同一のシリコン基板上に形成する場合、光電変換部の方式は、図 1-1 に示すように、(a) ホトゲート (MOS ゲート) 方式と (b) ホトダイオード (p-n 接合ダイオード) 方式の 2 種に分けられる。ホトゲート方式は、ゲート電極がシリコン基板上部に存在するため、光を効率よく入射させるためには何らかの手法が必要となる。すなわち、ゲート電極は半透明なポリシリコン膜で通常形成されるため、特に短波長光が吸収されるのみならず、多重干渉により分光感度に凹凸を生じることになる。しかしながら、MOS ゲートを連続して並べると CCD となるので、光電変換部に信号転送部の一部を兼ねさせることも可能であり、後述するフレーム転送方式がこれにあたる。一方ホトダイオード方式では、シリコン基板上部は透明な絶縁膜で覆われているだけで

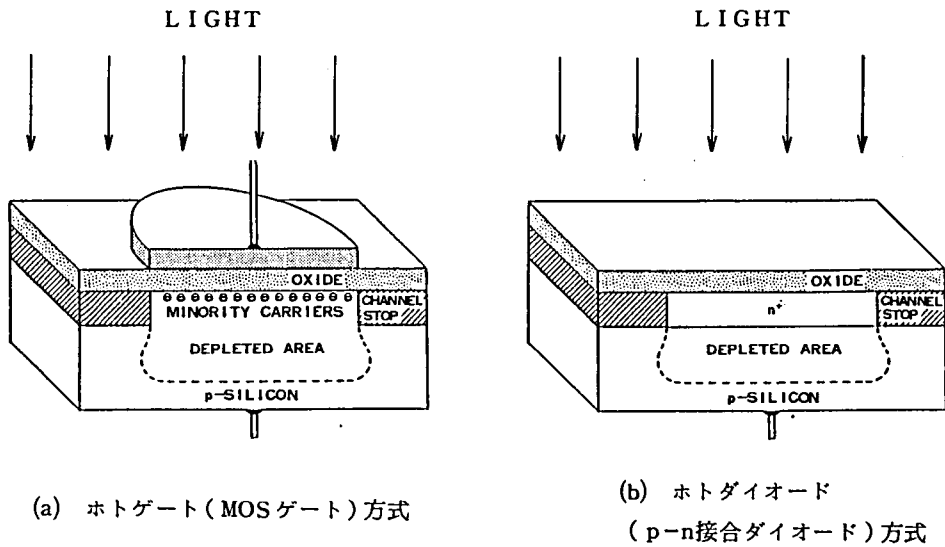


図 1-1 光電変換部の方式

あるので、短波長を含めて感度の向上が図りやすい方式といえる。

次に、信号転送部の方式により、固体撮像素子を分類する。ビデオカメラ用撮像素子の場合、信号転送部はテレビジョン表示方式に適合させるために、ブラウン管を照射する電子ビームのスポットの移動に対応して、信号電荷が順次読み出される構成であることが必要となる。図 1-2 は、テレビジョン受像機の走査画面とブラウン管の蛍光面を照射する電子ビームのスポットを移動させる

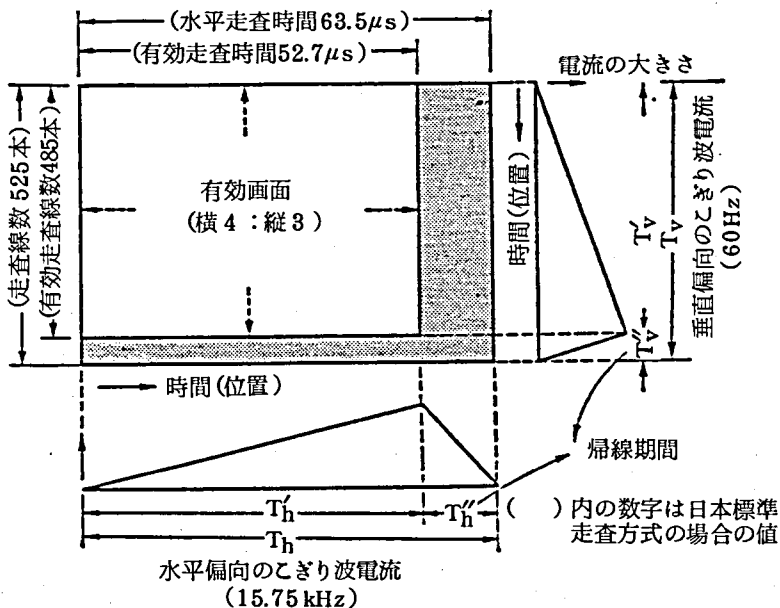


図 1-2 テレビジョン走査画面と偏向電流

ための偏向電流の関係を、日本標準方式の場合について示したものである。電子ビームは、 $52.7\ \mu\text{s}$ の水平有効走査期間に左端から右端へ移動し、 $10.8\ \mu\text{s}$ の水平帰線期間に再び左端へ戻る。このため、水平走査期間は $63.5\ \mu\text{s}$ となる。一方、上端から下端へは $60\ \text{Hz}$ の周期で移動し、垂直帰線期間に再び上端へもどる。この操作により、ブラウン管上には1秒間に60枚の描画が可能となるが、テレビジョン標準方式では、インターレース（飛越走査）により、動特性と解像度の向上を同時に図っている。すなわち、図1-3に示すように、 $60\ \text{Hz}$ で先ず実線で示す262.5本の走査線を表示し、続いてそれらの走査線の間中に点線で示す262.5本の走査線を表示する。それ故、525本の全走査線が表示される周期は、 $30\ \text{Hz}$ となる。ここで、走査線1本おきに走査を終る期間をフィールド期間と呼び、全走査線の走査を終る期間をフレーム期間と呼ぶ。このように、インターレース方式の場合、フレーム期間はフィールド期間の2倍となる。既存のシステムに適合するためには、固体撮像素子はインターレースを含めて同じ様式の映像信号を出力できることが必要である。

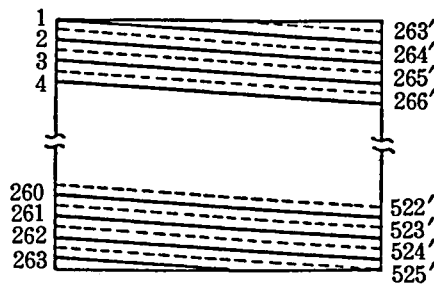


図1-3 インターレースによる走査画面

信号転送部の方式は大きく分けて、電荷転送方式とx-yアドレス方式、およびそれらの混合方式に分類される。電荷転送方式は更に、フレーム転送方式とインターライン転送方式に分けられ、x-yアドレス方式も、CID(charge injection device)方式とMOS方式に分けられる。図1-4にこれらの概念図を示す。電荷転送の方式には、CCDのほかにBBD(bucket-brigade device)があるが、BBDは転送効率と転送雑音の点で劣るため、最近では撮像素子にはほとんど用いられていない。

CCDは基本的には、近接して連続的に並べられたMOSキャパシタより構成されたアナログシフトレジスタである。例えば、MOSキャパシタがp型シリコン基板上に形成されている場合、その電極に正の電圧のパルスを加えると、多数キャリアの正孔が排除され、電位の井戸と呼ばれる、少数キャリアの電子に対してエネルギーの低い領域を形成する。この電位の井戸は、熱的に励起される電子により満たされ始めるが、MOSキャパシタの熱的緩和時間に比べて短い時間においては、

電位の井戸は光電変換により発生した電子や電氣的に注入された電子による信号電荷を蓄積できることになる。また、MOSキャパシタをその空乏層が重なるほど近接して並べると、電子はエネルギーの低い領域、すなわち電位の井戸の深い部分に流れることになる。それ故、連続して並べられたMOSキャパシタの電極に、電位の井戸の位置が順次移動して行くようなパルス印加すれば、信号電荷の転送を行うことができることになる。

したがって、CCDを用いた撮像素子は、光電変換部に蓄積した信号電荷を垂直帰線期間に、テレビジョン信号1フィールドを蓄積できる複数本のCCD垂直シフトレジスタに移し、さらにCCD水平シフトレジスタより順次読み出して行くものである。フレーム転送方式とインターライン転送方式は、光電変換部とCCD垂直シフトレジスタの配置が異なり、そのため、垂直帰線期間の信号電荷の転送方法が大きく異なることになる。

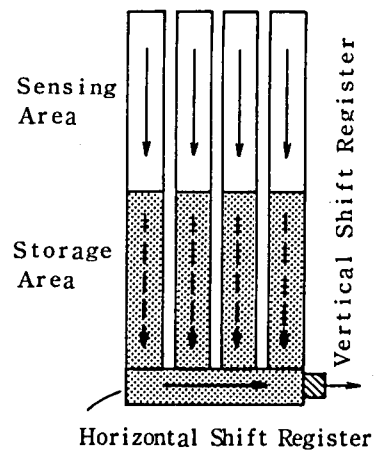
一方、 $x-y$ アドレス方式は、マトリックス状に配置された光電変換部に蓄積した信号電荷を、MOSトランジスタで構成された垂直および水平走査回路により順次読み出して行くものである。また、混合方式は、MOS方式の水平走査回路の代りにCCD水平シフトレジスタを用いて、信号電荷の読み出しを行うものである。

これらの各方式の概要を以下に述べる。

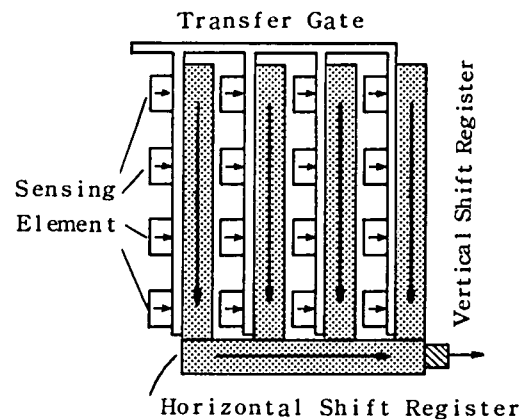
1.2.2 CCD方式

フレーム転送方式は、図1-4(a)に示すように、感光部と蓄積部それぞれに設けられた複数本の垂直シフトレジスタと1本のCCD水平シフトレジスタより構成される。感光部は光電変換により発生した信号電荷を蓄積して行く領域であり、蓄積部はテレビジョン信号の1フィールドを一時的に保持し、順次読み出して行くための領域である。また、垂直シフトレジスタは、感光部と蓄積部で連続しているが、別々のパルスにより駆動される。光電変換によりテレビジョンの1フィールド期間に発生した信号電荷は、垂直帰線期間に短時間で蓄積部へ転送され、この操作のあと、感光部は光電変換により発生した信号電荷を蓄積していく状態、すなわち、積分モードにもどる。一方、蓄積部へ転送された信号電荷は、水平帰線期間毎に1ビットずつ水平シフトレジスタ側へ転送され、水平走査期間に1ラインずつ水平シフトレジスタより読み出される。

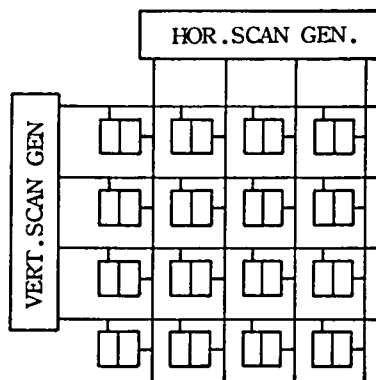
この方式は、感光部と蓄積部を別途設け、両者がCCDで構成されるため、一般に構造を簡単にできるという長所を持つが、一方、チップ寸法が増大することが欠点である。また、信号電荷が感光部より蓄積部へ転送されるときに光照射領域を通過しなければならないことによって、明るい対象物に対して表示上で画面の上下にわたる白い帯となるスミアを生じることにも欠点である。このスミアの除去手段は、外部シャッタを用いて信号電荷の上記転送時に素子を遮光する方法が採られる。更に、光電変換部が信号転送部を兼ねるため、光電変換部は必然的にホトゲート方式となるので、



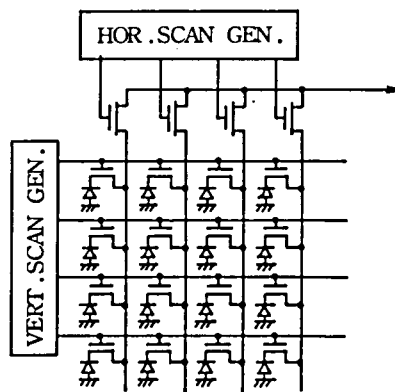
(a) フレーム転送方式



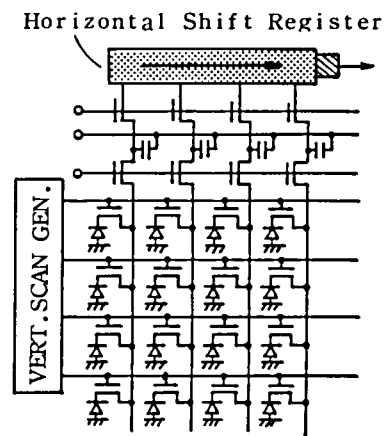
(b) インターライン転送方式



(c) CID方式



(d) MOS方式



(e) 混合方式

図1-4 信号転送部の方式

感度の向上を図るためには何らかの手法が必要となる。このため、大別して以下の3つの方法が検討されてきた。

- ① 裏面照射法⁽⁵⁾
- ② 透明電極や薄いポリシリコン膜の使用⁽⁶⁾⁽⁷⁾
- ③ 部分的に電極をとり除いた構造の採用⁽⁸⁾⁽⁹⁾

①は、量子効率を改善し、多重干渉による分光感度の凹凸を抑えることができるのみならず、転送電極に導電性の高い不透明材料の選択が可能となるという長所を持つ。しかしながら、解像度の点でシリコン基板を少くとも画素寸法より薄くする必要がある、また、シリコン表面の反射防止や電荷の再結合防止のための考慮が必要である。このためコストの問題がある。②は、透明電極の場合には、 SnO_2 や In_2O_3 など通常のシリコンプレーナ技術で使用しない材料が必要となる。また、薄いポリシリコン膜の場合には、短波長吸収の問題が残るだけでなく、電極抵抗の増加や多重干渉による分光感度の凹凸が問題となる。③は、ポリシリコン電極を一部除去し酸化膜を露出させることにより短波長感度の向上を図る方法であるが、感光部の約半分がポリシリコンにより覆われているため、相対的な短波長感度の低下をもたらす。このため、フレーム転送方式の特に短波長感度の向上は、コストを含めて考えると極めて困難とされる。

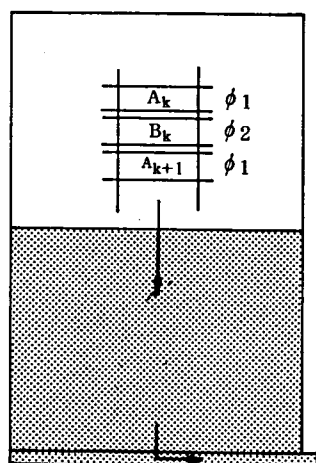
電荷転送方式のもうひとつの方式であるインターライン転送方式は、図1-4(b)に示すように、光電変換部と遮光されたCCD垂直シフトレジスタが交互に配置され、両者の間にトランスファゲートが設けられた構成をとる。垂直帰線期間にトランスファゲートが導通状態になると、光電変換部に蓄積した信号電荷は、隣接する垂直シフトレジスタに転送される。このあと、トランスファゲートは遮断状態になり、光電変換部と垂直シフトレジスタは分離される。すなわち、光電変換部は積分モードにもどり、一方、垂直シフトレジスタへ転送された信号電荷は、水平帰線期間毎に1ビットずつCCD水平シフトレジスタ側へ転送され、1ラインずつ水平シフトレジスタにより読み出される。

この方式では、光電変換部と垂直シフトレジスタを隣接して配置する必要があるため、一般に構造が複雑になるという欠点がある。すなわち、通常のインターライン転送方式では、光電変換部相互および光電変換部と垂直シフトレジスタとの分離のために、厚い酸化膜やイオン注入によるチャネルストップを必要とし、更に、トランスファゲート電極と垂直シフトレジスタ電極が交叉する構造となる。また、基板深部で光電変換により発生した電荷が拡散によって垂直シフトレジスタに混入することにより、スミアを生じることも欠点である。このスミア発生の過程はフレーム転送方式の場合とは異なるが、表示上では同じように、明るい対象物に対して画面の上下にわたる白い帯を生じることになる。

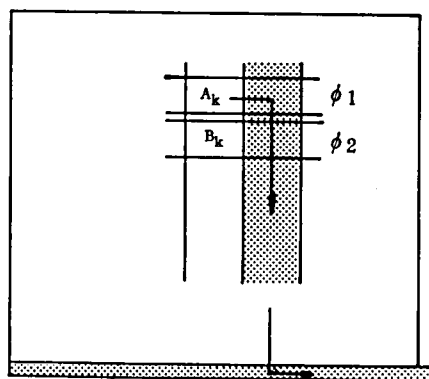
インターライン転送方式では、フレーム転送方式と異なり光電変換部は信号電荷の転送を行う必

要がないので、光電変換部にホトダイオードを用いることができる。このため、短波長を含めて感度の向上が図りやすい方式といえる。また、インターレースに対応して垂直シフトレジスタ1ビットに対して2つの光電変換部を配置すれば、以下に述べるように、フィールド蓄積モードとフレーム蓄積モードと呼ばれる2種の動作モードが可能となる。⁰⁰一方フレーム転送方式の場合には、フィールド蓄積モードに限定されるため、単板カラー化時のカラーフィルタ配列に制約を与えることになる。これらについて、以下にさらに説明を加える。

図1-5は、2つの転送方式におけるインターレース時の動作概念を、2相駆動方式の場合について示したものである。フレーム転送方式では、インターレースに対応するために、奇数フィールドでは、 A_k と B_k 電極部分で発生した信号電荷を合わせて1ビットの信号として垂直シフトレジスタで転送し、一方偶数フィールドでは、 B_k と A_{k+1} 電極部分で発生した信号電荷を合せる。このとき、信号電荷の積分時間は1フィールド期間になるので、この動作モードはフィールド蓄積モードと呼ばれる。一方、インターライン転送方式でもフィールド毎にすべての光電変換部の信号電荷を垂直シフトレジスタに転送すれば、全く同様の動作を行うことができる。しかし、インターライン転送方式では、光電変換部と垂直シフトレジスタが独立して設けられているため、奇数フィールドでは A_k 部分で発生した信号電荷のみを、一方偶数フィールドでは B_k 部分で発生した信号電荷のみをそれぞれ垂直シフトレジスタへ転送するという駆動も可能となる。このとき、各光電変換部の積分時間は1フレーム期間となるので、この動作モードはフレーム蓄積モードと呼ばれる。フィールド蓄積モードは、積分時間が短いため被写体の早い動きに追従しやすいという長所を持つが、両フィールド間で感光領域が垂直シフトレジスタ1/2ビット分ずれて重なることになる。



(a) フレーム転送方式



(b) インターライン転送方式

図1-5 インターレース時の撮像素子の動作

カラービデオカメラを単板で実現するためにはカラーフィルタが必要であるが、この配列は大きく分けて、ストライプ配列とモザイク配列の2種がある。図1-6において、(a)は赤、緑、青の3原色によるストライプ配列を示したものであり、(b)はベイヤ配列と呼ばれるモザイク配列を示したものである。ベイヤ配列は、全画素の半数に視感度が高くそれ故にテレビジョンの輝度信号の大半を占める緑を市松状に配置し、残り半数に赤と青を配置したもので、赤と青は垂直方向に補間を行う。このため、ストライプ配列では水平方向が3画素周期であるのに対し、ベイヤ配列では2画素周期となり、後者の場合には前者の2/3の水平画素数で同一の水平解像度を得ることができる。ベイヤ配列を用いるためにはフィールド間で垂直方向に感光領域の重なりを生じないことが必要であり、動作がフィールド蓄積モードに限定されるフレーム転送方式には用いることができない。

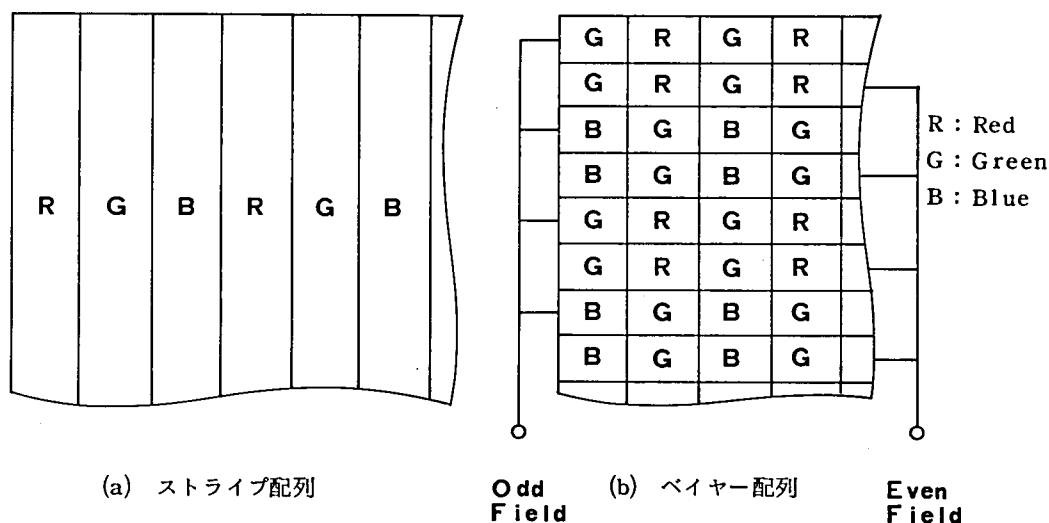


図1-6 カラーフィルタ配列の例

電荷転送方式は、信号電荷の検出を水平シフトレジスタの終段に設けられた容量の極めて小さいオンチップ増幅器で行うことができるので、後述するx-yアドレス方式に比し、本質的にS/Nの点で有利である。図1-7は、(a)CCDの出力部の構成と(b)駆動パルスおよび出力信号のタイミングを示したものである。出力部には通常、図に示すような電荷検出ダイオードとソースフォロ回路が用いられる。電荷検出ダイオードは、 n^+ 拡散層とp基板により形成されたp-n接合ダイオードであり、この接合容量により信号電荷の量を電圧に変換する。 n^+ 拡散層は、 ϕ_R パルスが高レベルになることにより、RDに加えられているDC電圧にリセットされた後、 ϕ_R パルスが低

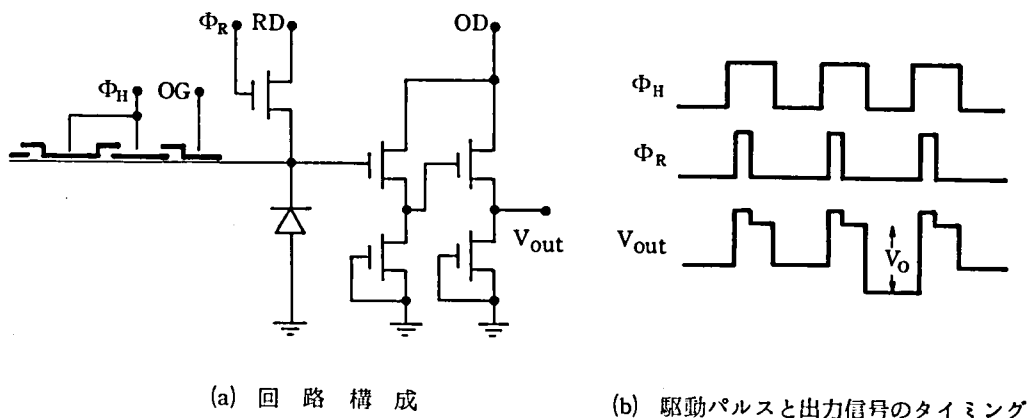


図 1 - 7 CCD の出力部

レベルになることにより浮遊状態になる。このとき、CCDの最終段の駆動パルス ϕ_H が低レベルになると、DC電圧が印加されたOG電極の下部を通して信号電荷である電子が n^+ 拡散層に到達し、その電位を降下させる。この電位降下の大きさは信号電荷量に比例するので、ここで信号電荷量が電圧に変換されたことになる。 n^+ 拡散層の電位は、2段ソースフォロウにより電流増幅され、出力としてとり出される。出力容量に起因するランダム雑音は出力容量の平方根に比例するが、CCDでは信号電荷の検出を単一のダイオードで行うことができるため、出力容量の低減が容易であり、S/Nの点で有利である。

1.2.3 x-yアドレス方式と混合方式

CID方式は、光電変換により発生した信号電荷を蓄積する電荷キャパシタの対を各x-yマトリックス点上に設け、垂直および水平走査回路からのパルスをマトリックス点で順次一致させることにより、読み出しを行うものである。一方MOS方式は、マトリックス状に配置されたホトダイオードの信号電荷を、MOSTランジスタで構成された垂直および水平走査回路により順次読み出していくものであり、構造的にはMOSダイナミックメモリに似ているといえる。光電変換部は、MOS方式はホトダイオードを用いるため、短波長感度の点で有利であるのに対し、CID方式ではホトゲートとなるため、透明電極⁽¹²⁾や薄いポリシリコン⁽¹³⁾を用いて改善を図る必要がある。

これらx-yアドレス方式は、垂直、水平とも伝送線を用いるため開口率（光電変換部が撮像部に占める割合）を大きくとりやすいという長所を持つが、水平走査回路のMOSスイッチのばらつきに起因する固定パターン雑音や、伝送線により出力容量が大きくなるため、ランダム雑音も大きいという欠点がある。

混合方式は、x-yアドレス方式の上記欠点の改善を図るためにCCD水平シフトレジスタを用いるものであり、CPD (charge priming device) 方式⁽¹⁴⁾や加速転送方式⁽¹⁵⁾がある。これらの方式では、垂直走査回路によりホトダイオードの水平列を選択し、信号電荷を垂直伝送線を経てCCD水平シフトレジスタに転送した後、1ラインずつ読み出すことになる。これらの方式の欠点は大容量の垂直伝送線からCCDへ信号電荷を転送しなければならないことに起因し、この部分で信号電荷の取り残しを生じる。CPD方式では、バイアス電荷を用い更に転送回数を増やして転送効率の改善を図っているが充分とはいえない。また、垂直伝送線の容量に起因するランダム雑音は、通常のMOS方式の $\sqrt{\frac{2}{3}}$ 倍にしか低減されない⁽¹⁶⁾。加速転送方式は、垂直伝送線からCCDへの信号電荷転送部にゲインGのインバータを設け、垂直伝送線の実効容量を $4/3(1+G)$ 倍に低下させることによりランダム雑音の低減を図るものであるが、この場合には増幅回路で発生する雑音の低減が必要となろう。

x-yアドレス方式と混合方式はともに、光電変換部が信号転送部から独立しているため、インターレース時に上下の画素間での感光領域の重なりはない。このため、単板カラー化時におけるカラーフィルタ配列の制約はない。また、チップ寸法がインターライン転送方式同様小さくて済むこと、構造が比較的簡単であることも長所である。なお、これらの方式では、スミアは光電変換により発生した電荷の垂直伝送線への拡散による流入の他に、光電変換部と垂直伝送線との容量結合が原因⁽¹⁷⁾となって発生する。

1.3 本研究の目的と内容

1.2で説明した固体撮像素子の各方式の長所、短所をまとめると表1-1のようになる。

表1-1 固体撮像素子の各方式の比較

方 式 項 目	CCD方式		x-yアドレス方式		混合方式
	フレーム転送方式	インターライン転送方式	CID方式	MOS方式	
短波長感度	改善困難	ホトダイオードにより改善可能	改善困難	ホトダイオードのため良好	ホトダイオードのため良好
雑音	小	小	大	大	垂直伝送線からCCDへの転送が問題 小
チップ寸法	大	小	小	小	小
カラーフィルタ配列	制約あり	制約なし	制約なし	制約なし	制約なし
スミア	あり	あり	あり	あり	あり
構造の複雑さ	簡単	複雑	簡単	簡単	比較的簡単

スマアに関しては全方式とも生じるが、この現象が撮像管には見られない固体特有の欠点であるため、その抑圧がいっそう必要とされる。このとき、フレーム転送方式では、スマアの除去手段が外部シャッタの使用に依存することは、大きな欠点となる。表より明らかなように、インターライン転送方式が他の方式に劣る点は、構造が複雑であることだけである。それ故、この欠点さえ解消できれば、チップ寸法が小さく、かつ低雑音であるという特長が生かされて、LSI技術の進展とともに、低価格で高性能の撮像素子が実現できると言える。

以上の理由により筆者らはインターライン転送方式を採用し、その構造の複雑さの解消、スマアの低減、更には特性の向上を目指して研究を進めた。本論文は、インターライン転送方式の構造の複雑さを大幅に軽減することを可能とした2つの新構造と、スマアの低減や特性の向上を図ることにより固体撮像素子の長所を一層際立たせた3つの新構造を中心に述べるものである。

まず構造の複雑さに対しては、TGL (transfer gate-less) 構造とCLIP (clock-line-isolated photodiode) 構造を提案し実現することにより対処することができた。TGL構造は、ホットダイオードとCCD垂直シフトレジスタを分離するために、従来のインターライン転送方式の素子では必要としていたトランスフェゲート電極を除くことを可能とする新構造である。CLIP構造は、厚い酸化膜やイオン注入によるチャネルストップを撮像部より除くことを可能とする新構造である。TGL構造とCLIP構造により、インターライン転送方式の構造の複雑さは、大幅に軽減されるとともに、画素の有効面積の増大が可能となった。

一方、スマアに対しては、SPW (shallow p-well) 構造を提案し、信号に対する比を -7.3 dBにまで低減することができた。強い光の入射に対して過剰電荷が溢れるブルーミングと呼ばれる現象を抑圧するためには、過剰電荷を排出するオーバフローレイン⁽⁸⁾を設ける必要があるが、VOD (vertical overflow drain) 構造は、素子を n 基板上に形成された p ウェル上に設けることにより n 基板をオーバフローレインとして用いるため、有効面積の減少がないという特長を持つ。従来のVOD構造では、ホットダイオードを浅い p ウェル内に形成し、CCDシフトレジスタを深い p ウェル内に形成していたのに対し、新しく提案するSPW構造は、CCDシフトレジスタも僅かに深い p ウェル内に形成するものである。この新構造により、CCDシフトレジスタ下部の p ウェルも完全に空乏化することができ、光電変換により発生した電荷のCCDシフトレジスタへの混入が防止されることになり、スマアの大幅な低減が可能となった。

このSPW構造を更に発展させたSF PW (shallow flat p-well) 構造は、ホットダイオードやCCD垂直シフトレジスタなどで構成される撮像部を単一の浅い p ウェル内に形成するものであり、ブルーミングの抑圧のみならず、スマアの低減と開口率の向上を同時に図ることができる。

ホットダイオードに関しては、 $n^+ - n^- - p - n$ 構造を提案し、特性の向上を図った。VOD構造では、ホットダイオードの下部にオーバフローレインが設けられているため、中波長感度の低下や

信号電荷の蓄積による分光感度の変動が生じるという欠点があった。 $n^+ - n^- - p - n$ 構造は、 n^- 領域の付加により実効的な光電変換領域を厚く保つことを可能とするものである。この新構造により、中波長感度の向上と分光感度の変動の軽減を実現することができた。

以上、この章では固体撮像素子の各種の方式について概説を行ったあと、本研究の目的を示し、その概要の紹介を行った。以下本論文は、第2章ではTGL構造を用いた撮像素子について、また、第3章ではCLIP構造を用いた撮像素子について述べる。更に、第4章ではSPW構造と $n^+ - n^- - p - n$ ホットダイオードを用いた撮像素子について述べる。そして、第5章において、TGL構造、CLIP構造、SPW構造、 $n^+ - n^- - p - n$ ホットダイオードを用いることにより高解像度、高感度、低スミアを実現した、本研究の集大成と言うべき 490×510 画素ならびに 580×500 画素撮像素子について述べたあと、第6章において本研究の成果についてまとめ、結論とした。

参 考 文 献

- (1) P.K.Weimer, G.Sadasiv, J.E.Meyer, Jr., L.M.-Horvath, and W.S.Pike, "A self-scanned solid-state image sensor," *Proc. IEEE*, vol.55, pp.1591-1602, Sep.1967.
- (2) G.P.Weckler, "Operation of p-n junction photodetectors in a photon flux integration mode," *IEEE J.Solid-State Circuits*, vol.SC-2, pp.65-73, Sep.1967.
- (3) W.S.Boyle and G.E.Smith, "Charge coupled semiconductor devices," *Bell Sys.Tech.J.*, vol.49, pp.587-593, Apr.1970.
- (4) 宮武, "イメージセンサ," 信学会関西支部専門講習会「光と情報処理」pp.67-76, Feb.1985.
- (5) S.R.Shortes, W.W.Chan, W.C.Rhines, J.B.Barton, and D.R.Collins, "Development of a thinned, backside-illuminated charge-coupled device imager," in *IEDM Tech. Dig.*, pp.415-418, 1973.
- (6) N.Harada, N.Suzuki, O.Yoshida, K.Yano, and H.Morita, "Frame transfer CCD imager with transparent electrodes," *Jpn. J. Appl. Phys.*, vol.19, pp.L177-L180. Apr.1980.
- (7) C.Anagnostopoulos, E.Garcia, G.Lubberts, F.Moser, and D.Losee, "Thin polysilicon gate electrodes for frontside-illuminated CCD imagers," in *Proc. of CICC*, pp.78-81, 1980.
- (8) J.Hynecek, "Virtual phase CCD technology," in *IEDM Tech. Dig.*, pp.78-81, 1979.
- (9) Y.Daimon-Hagiwara, M.Abe, and C.Okada, "A 380H×488V CCD imager with narrow channel transfer gates," *Jpn. J. Appl. Phys.*, vol.18, suppl.18-1, pp.335-340, 1979.
- (10) K.A.Hoagland, "Television applications of interline-transfer CCD arrays," in *Proc. Int. Conf. Technology and Applications of Charge-Coupled Devices*, pp.152-156, 1976.

- (11) P. L. P. Dillon, D. M. Levis, and F. G. Kasper, "Color imaging system using a single CCD area array," *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 28-33, Feb. 1978.
- (12) D. M. Brown, M. Ghezzi, and P. L. Sargent, "High density CID imagers," *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 5-10, Feb. 1978.
- (13) D. M. Brown, H. K. Burke, M. Ghezzi, P. McConnelee, G. Michon, and T. L. Vogelsong, "Row readout in CID imaging," in *ISSCC Dig. Tech. Papers*, pp. 28-29, 1980.
- (14) 寺川, 山田, 堀居, 高村, 寺本, "呼水転送によるCCD読み出し新固体撮像素子," 信学技報, SSD79-100, 1979.
- (15) S. Ohba, M. Nakai, H. Ando, T. Ozaki, N. Ozawa, T. Imaide, K. Ikeda, T. Suzuki, I. Takemoto, and T. Masuhara, "MOS imaging with random noise suppression," in *ISSCC Dig. Tech. Papers*, pp. 26-27, 1984.
- (16) 秋山, 尾崎, "MOS形固体撮像素子の雑音解析," テレビ学全国大会, 3-4, 1984.
- (17) 井沢, 安藤, 大場, 竹本, 小池, "MOS形撮像素子の光電特性," テレビ学技報 TEBS76-3, 1981.
- (18) Y. Ishihara, E. Oda, H. Tanigawa, N. Teranishi, E. Takeuchi, I. Akiyama, K. Arai, M. Nishimura, and T. Kamata, "Interline CCD image sensor with an antiblooming structure," in *ISSCC Dig. Tech. Papers*, pp. 168-169, 1982.

第 2 章 トランスファゲートレス構造 —TGL 構造を用いた撮像素子—

2.1 まえがき

この章では、TGL (transfer gate-less) 構造を用いた 488×385 画素インターライン転送方式 CCD 撮像素子⁽¹⁾について述べる。

インターライン転送方式では、光電変換部と CCD 垂直シフトレジスタを分離するために、トランスファゲートが必要である。TGL 構造は、トランスファゲート電極を CCD 垂直シフトレジスタ電極と一体化する新構造である。従来のインターライン転送方式では、ポリシリコン層を CCD シフトレジスタ電極用の 2 層のほかに、トランスファゲート電極用にもう一層を必要としていたが、⁽²⁾TGL 構造により、トランスファゲート電極用のポリシリコン層が不要となる。このため、セル構造が簡略化されるのみならず、ポリシリコン 2 層での製造が可能となった。

以下、第 2 節で素子の構造について述べ、第 3 節でその動作原理を説明する。そして、第 4 節において素子の特性を示す。

2.2 素子の構造

図 2-1 は、素子の全体の構成を示したものである。488 の垂直画素数は、NTSC (National Television System Committee) 方式を用いる日本のテレビジョン標準方式 (走査線本数 525, 有効走査線数 485) に対応したものである。一方水平画素数は 385 であり、この数は水平シフトレジスタのクロック周波数と解像度から、次のように決定した。

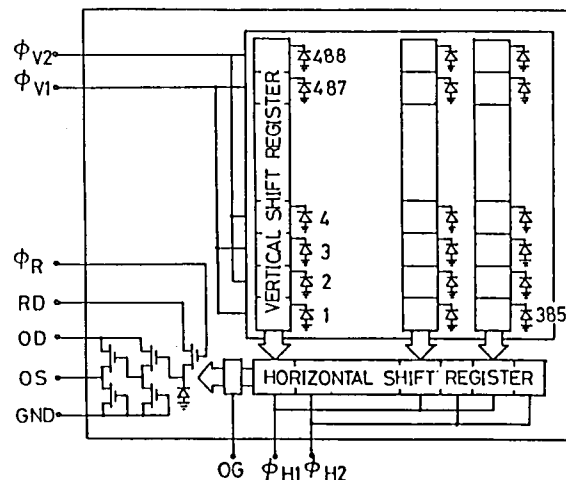


図 2-1 TGL 構造を用いた撮像素子構成図

ビデオカメラの中には同期信号発生回路があり、垂直および水平同期信号や色副搬送波（周波数は約3.58MHzで水平同期信号の455/2倍）を作っている。水平シフトレジスタのクロック周波数をその整数倍とすれば、回路が簡単になる。水平シフトレジスタのクロック周波数を色副搬送波の周波数の2倍とすれば、水平帰線期間を除いた有効画素数は378である。このとき水平限界解像度は約280TV本^{*}となり、家庭用ビデオテープレコーダの水平解像度（約240TV本）を上廻ることになる。本素子では若干の余裕をとって水平画素数を385とした。

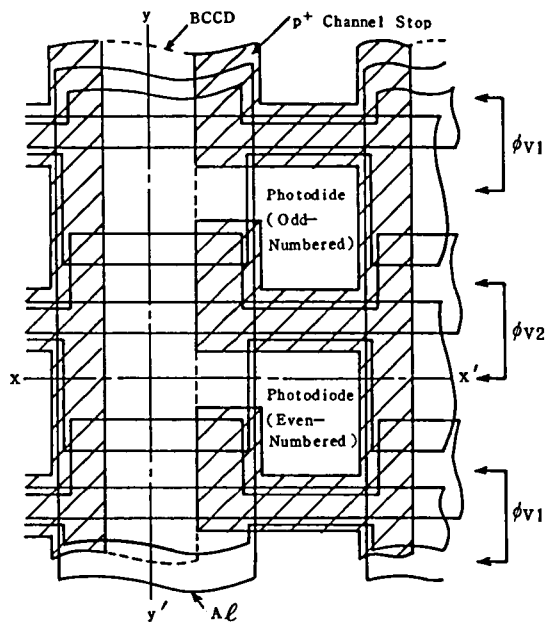
また、有効撮像面の寸法は、1インチ光学系に対応した9.6mm（垂直）×12.8mm（水平）とし、画素ピッチは、垂直を20μm、水平を34μmとした。チップ寸法は11.2mm（垂直）×14.2mm（水平）であり、設計時のデザインルール（最小寸法3.5μm）を用いて上記画素数を設けたために、通常のLSIのチップ寸法を大幅に超えた値となっている。

光電変換部はp-n接合ホトダイオードで構成され、垂直および水平シフトレジスタとともに、ボロニオン注入により転送の方向付けを行った2相駆動方式の埋め込みチャネルCCDにより構成されている。垂直シフトレジスタ1ビットには、テレビジョン標準方式のインターレースに対応して、2個のホトダイオードが配置されている。一方水平シフトレジスタ1ビットには、垂直シフトレジスタ1ラインが配置されている。出力部は、浮遊拡散層による電荷検出ダイオードと、2段ソースフォロウにより構成されている。

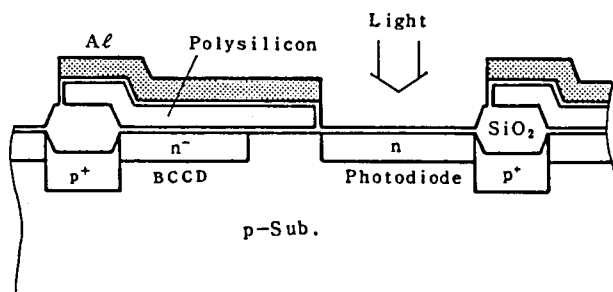
撮像部の構造を図2-2に示す。ここで(a)は平面図であり、(b)と(c)はそれぞれ、平面図x-x'およびy-y'に沿う断面図である。図(b)からも明らかなように、単位セルはp-n接合によるホトダイオード1個と埋め込みチャネルCCDによる垂直シフトレジスタ1/2ビットより構成され、両者の間には、表面チャネルによる電位障壁が設けられている。この電位障壁により、垂直シフトレジスタ内を転送される信号電荷とホトダイオードに蓄積される信号電荷が分離される。また、この電位障壁部分の電極は、垂直シフトレジスタの電極が兼ねており、このため、トランスファゲート電極の省略が可能となっている。

図2-3および図2-4にそれぞれ、表面チャネルCCDと埋め込みチャネルCCDの概念図を

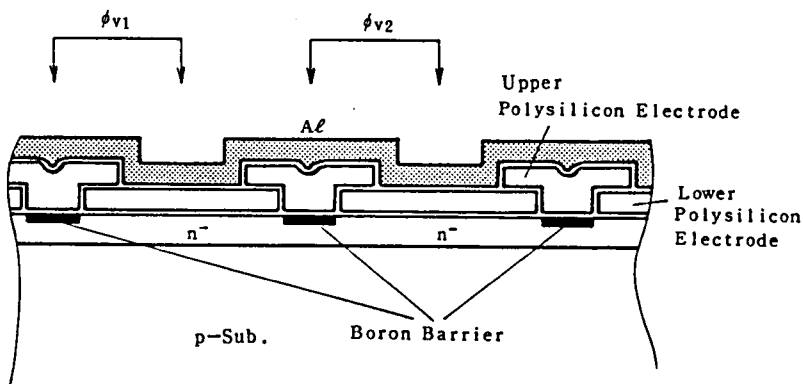
* テレビジョンの解像度はTV本で評価する。テレビ画面の高さに相当する間隔に、何本まで白黒の縞が読み取れるかということである。このとき、白を1本、黒を1本と数える。垂直解像度の限界は、有効走査線数となる。一方水平方向は、テレビ画面の縦横比が3:4であることから、垂直方向と同じ画面長さに換算するために3/4倍する。このため、水平限界解像度は、水平有効画素数の3/4倍になる。



(a) 平面図



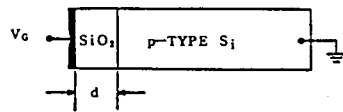
(b) x-x' 断面図



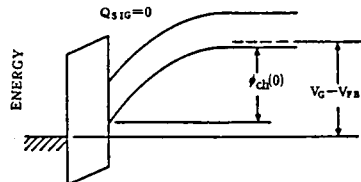
(c) y-y' 断面図

図 2-2 撮像部の構造

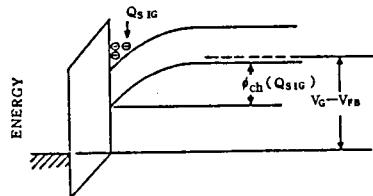
示す。ここで(a)は断面図であり、(b)と(c)は深さ方向の電位分布を示したもので、(b)は信号電荷がないとき、(c)は信号電荷が蓄積しているときに対応している。表面チャネルCCDでは、電位の井戸はシリコン表面に形成される。一方埋め込みチャネルCCDでは、基板と逆の導電性を持つ層が



(a) 断面図

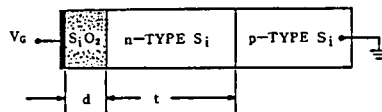


(b) 信号電荷がないときの電位分布

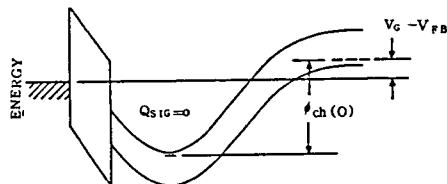


(c) 信号電荷が蓄積したときの電位分布

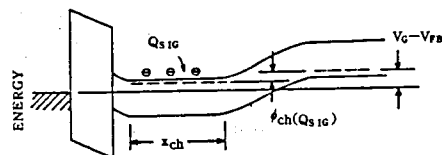
図2-3 表面チャネルCCDの概念図



(a) 断面図



(b) 信号電荷がないときの電位分布



(c) 信号電荷が蓄積したときの電位分布

図2-4 埋め込みチャネルCCDの概念図

設けられているために、電位の井戸は表面から離れて形成される。このため、埋め込みチャネルC C Dでは、信号電荷はSiとSiO₂の境界に生じる界面準位によるトラップを免れることができ、電位の井戸間の信号電荷の転送において、電荷の取り残しを極めて小さくすることが可能となる。本素子の埋め込みチャネルC C Dの転送効率（1回の転送で取り残されずに転送される信号電荷の割合）は99.99%以上であり、1000回の転送を行っても全損失は1%以下である。

一方、表面チャネルC C Dと埋め込みチャネルC C Dのチャネル電位（電位の井戸の深さ） ϕ_{ch} は、p基板濃度と埋め込みチャネル形成用n層濃度を均一と仮定すれば、一次元ポアソンの方程式を解くことにより、次のようにもとめられる。

表面チャネルC C D

$$\phi_{ch} = V_G - V_{FB} + \frac{q N_A \epsilon_s}{C_{ox}^2} - \frac{1}{C_{ox}} \cdot \left[2q N_A \epsilon_s (V_G - V_{FB}) + \left(\frac{q N_A \epsilon_s}{C_{ox}} \right)^2 \right]^{1/2}$$

埋め込みチャネルC C D

$$\phi_{ch} = \left\{ - \left(\frac{q \epsilon_s}{2} \frac{N_A (N_D + N_A)}{N_D} \right)^{1/2} \left(\frac{d}{\epsilon_{ox}} + \frac{t}{\epsilon_s} \right) + \left[\frac{q \epsilon_s}{2} \frac{N_A (N_D + N_A)}{N_D} \left(\frac{d}{\epsilon_{ox}} + \frac{t}{\epsilon_s} \right)^2 + \frac{N_D + N_A}{N_D} \left(V_G - V_{FB} + q N_D t \left(\frac{d}{\epsilon_{ox}} + \frac{t}{2 \epsilon_s} \right) \right) \right]^{1/2} \right\}^2$$

ここで

V_G	ゲート電圧
V_{FB}	フラットバンド電圧
C_{ox}	ゲート酸化膜容量
N_A	基板アクセプタ濃度
N_D	n層ドナー濃度
d	ゲート酸化膜厚
t	n層深さ
ϵ_{ox}	酸化膜誘電率
ϵ_s	シリコン誘電率
q	電子電荷量

である。

計算例を図2-5に示す。この例からも明らかなように、埋め込みチャネルCCDのチャネル電位は、 n 層濃度が低くなるとともに低くなって行くが、常に表面チャネルCCDよりも高い。このため、図2-2(b)に示したように、同一の垂直シフトレジスタ電極下部に埋め込みチャネルCCDと表面チャネルCCDの領域を設けると、表面チャネルの領域の方のチャネル電位が常に低くなり、この領域が、2.8で述べるように、電位障壁として機能することになる。

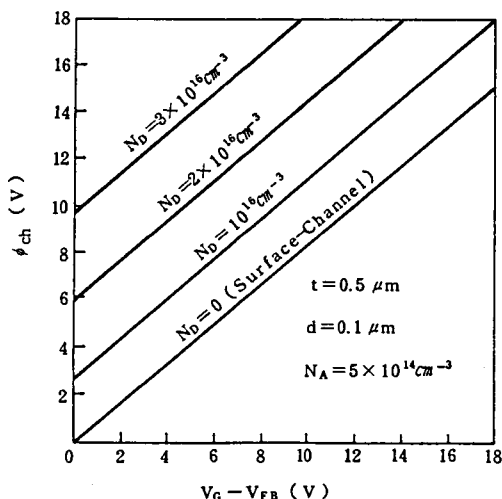


図2-5 CCDチャネル電位の計算例

次に、CCDシフトレジスタの電極構造について述べる。図2-2(c)は、垂直シフトレジスタの断面構造を示したものである。ゲート電極は、ポリシリコン重ね合せゲート構造によっている。高い転送効率を得るためには、CCDを構成するMOSキャパシタの電極間隙が狭いことが必要であり、これを高歩留りで製造できることも要求される。ポリシリコン重ね合せゲート構造は、電極間隙をポリシリコン上に形成された絶縁膜の厚さ（数百nm以下）に抑えることができるのみならず、ポリシリコンが加工しやすいことや、ポリシリコン上に良質の酸化膜を形成することができるため、ピンホールによる電極間の短絡を防止できることが、歩留りに好ましい影響を与える。本論文で述べる撮像素子のCCDシフトレジスタは、すべて2層ポリシリコン重ね合せゲート構造を用いている。

本素子の垂直シフトレジスタは2相駆動方式であり、1/2ビットは下側ポリシリコン電極と上側ポリシリコン電極の一对より構成されている。そして、上側ポリシリコン電極直下のシリコン表面には、後に述べるように転送の方向付けのために、ボロンがイオン注入されている。

p-n接合ダイオードによる感光部は、表面にポリシリコン電極が存在しないため、多重干渉による感度の凹凸がなく、高い分光感度を得ることができるが、本素子では、 n 層をイオン注入によ

って低濃度で浅く形成することにより、短波長感度の向上を図っている。ホットダイオードの周囲は、表面チャネルによる電位障壁部分を除いてpチャネルストップが設けられており、ホットダイオード相互およびホットダイオードと垂直シフトレジスタが分離されている。

2.3 素子の動作

前節でも述べたように、本素子の垂直および水平シフトレジスタは、2相駆動方式を用いている。CCDの駆動方式には他に3相駆動方式や4相駆動方式があり、ここでは先ず、各種の駆動方式について動作原理の説明を行う。

単純で対称的な電極を用いると、電荷転送の方向を決めるためには、少なくとも3相が必要である。図2-6は、3相駆動方式の(a)パルスのタイミングと(b)転送の概念を示したものである。図(b)は、電位の井戸をバケツのように、また信号電荷である少数キャリアの電子を、バケツを部分的に満たしている液体のように考える慣習に従って描かれている。すなわち、電位の井戸が空のときの電位

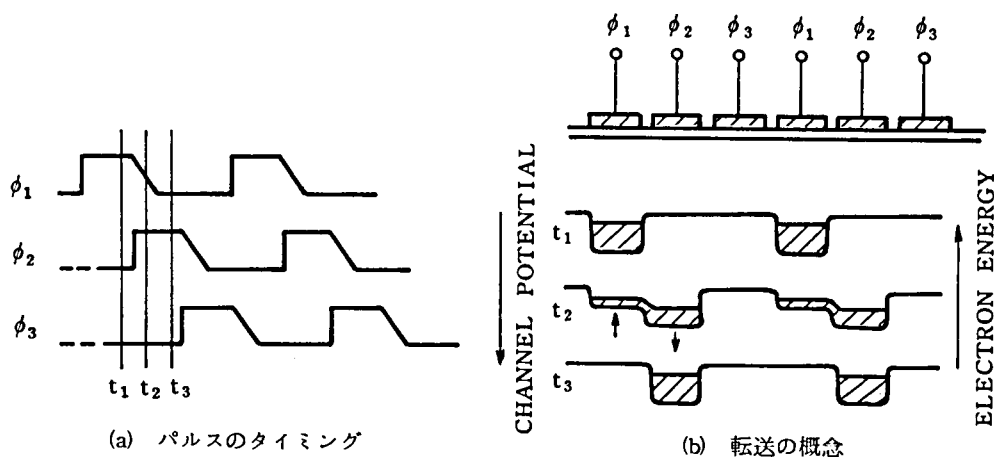


図2-6 3相駆動方式

をバケツの深さとし、信号電荷が蓄積することにより浅くなった電位の井戸の電位を液体の上面で表している。 $t = t_1$ では ϕ_1 のみが高レベルであるので、信号電荷は ϕ_1 電極直下に蓄積されている。 $t = t_2$ では ϕ_2 が高レベルで、 ϕ_1 は高レベルから低レベルへと降下していくことにより、 ϕ_1 電極直下の信号電荷は ϕ_2 電極直下へ移動する。そして $t = t_3$ では ϕ_2 のみが高レベルであるので、信号電荷は ϕ_2 電極直下に蓄積される。このような転送を3回繰り返すことにより、信号電荷は1ビット転送されることになる。また、常に少なくともひとつの電極には低レベルのパルスが印加されているので、その電極直下の電位の井戸は浅くなり、電位障壁を形成する。このため、異な

るビット間の信号電荷が混合することはない。

図2-7は、4相駆動方式の(a)パルスのタイミングと(b)転送の概念を示したものである。4相駆動は、前述の3相駆動と同じように、ひとつの相の電極直下だけに信号電荷を蓄積し、順次転送していく方法も当然可能であるが、図(a)に示すタイミングを用いれば、常に2つの電極直下に信号電荷を蓄積できることになり、取り扱い可能な信号電荷量の増大を図ることができる。

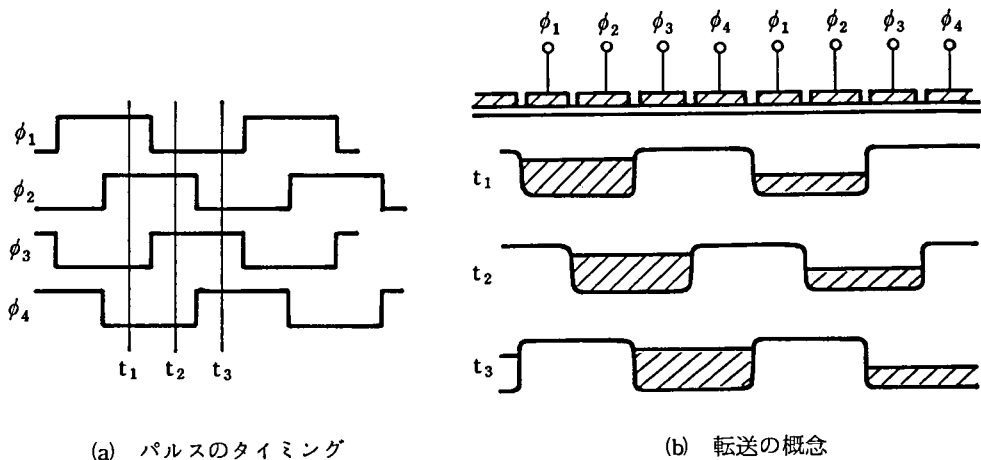


図2-7 4相駆動方式

3相および4相駆動方式はともに、信号電荷の転送方向は印加されるパルスにより決定されるが、2相駆動方式では、素子の構造により決定される。すなわち、図2-2(c)に示したように、1/2ビットの左側部分のシリコン表面にボロンがイオン注入された構造により、転送が方向付けされる。

図2-8は、2相駆動方式の(a)パルスのタイミングと(b)転送の概念を示したものである。同一の

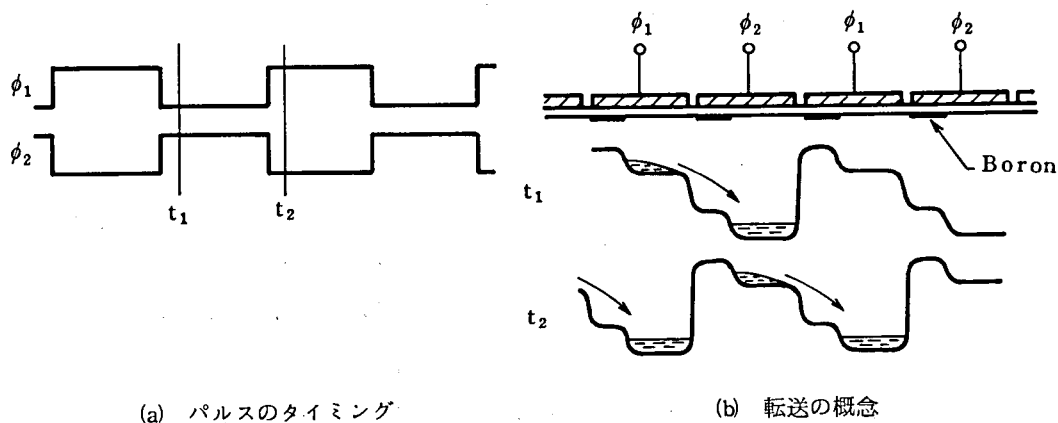


図2-8 2相駆動方式

ゲート電圧により形成される電位の井戸は、p型不純物のボロンがある部分の方が、ボロンがない部分よりも常に浅くなり、これが電位障壁として機能する。すなわち、図(a)に示すような互いに反転関係にあるパルス ϕ_1 と ϕ_2 を印加すれば、図(b)に示すように、信号電荷は逆流することなく、左から右へ転送されることになる。

テレビジョン標準方式は1.2.1でも述べたようにインターレースを行うが、4相および2相駆動方式の電極構造は1/2ピット周期の繰り返しであるので、固体撮像素子では、1/2ピットに1画素を対応させれば、集積度の向上を図ることができる。本論文で述べる撮像素子のCCDシフトレジスタは、4相または2相駆動方式を用いている。

次に、本素子の動作原理を説明する。本素子のホットダイオードと垂直シフトレジスタは、表面チャネルの電位障壁で分離されており、その部分を覆う垂直シフトレジスタのゲート電極が、ホットダイオードから垂直シフトレジスタへの信号電荷の転送も制御する。

図2-9は、素子をフレーム蓄積モードで駆動する場合の、垂直シフトレジスタのクロックタイミングを示したものである。また、図2-10は各部のチャネル電位と信号電荷の状態を示したも

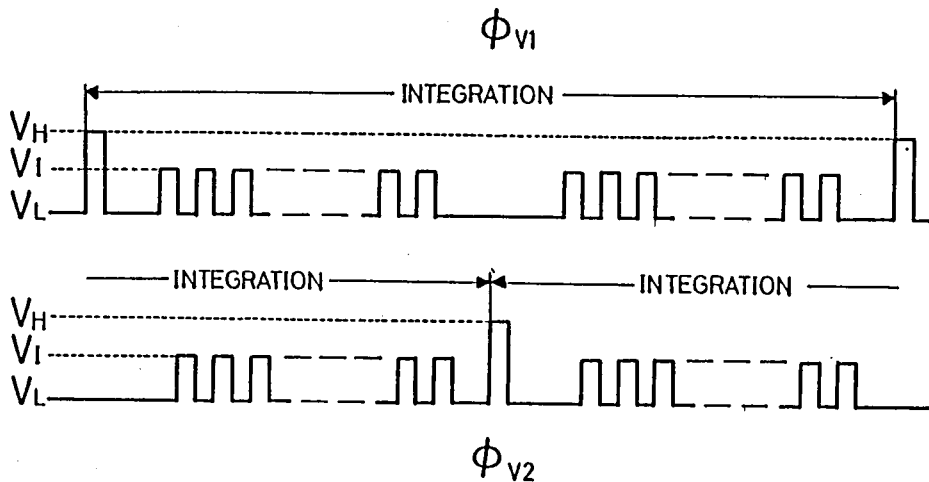


図2-9 垂直シフトレジスタクロックタイミング図

のである。垂直シフトレジスタは2つの3値パルス ϕ_{V1} と ϕ_{V2} により駆動される。以下の説明では、駆動パルスの低、中、高レベルをそれぞれ V_L 、 V_I 、 V_H で表す。

SiO_2 膜を透過してシリコン基板中に入射した光により電子正孔対が発生し、少数キャリアの電子は積分期間中にp-n接合ホットダイオードに蓄積される。この間 ϕ_{V1} 、 ϕ_{V2} パルスは V_I と V_L の間で変化し、垂直シフトレジスタ内の信号電荷とホットダイオードに蓄積した信号電荷は、図2-10(a)に示すように、表面チャネルによる電位障壁で分離されている。奇数フィールド終了時の垂直帰

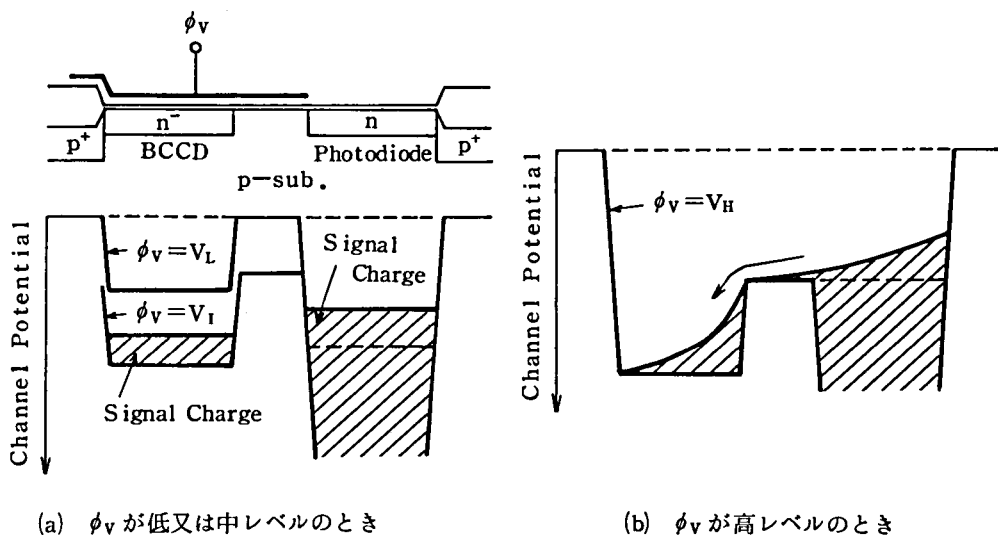


図 2-10 チャネル電位と信号電荷の状態

線期間に ϕ_{v2} が V_L で ϕ_{v1} のみが V_H になると、奇数番目 (1, 3, 5, …, 487) のホットダイオードに蓄積した信号電荷は、図 2-10 (b) に示すように、表面チャネルによる電位障壁を越えて垂直シフトレジスタの転送チャネルに移る。同時に、これら奇数番目のホットダイオードの電位は、 ϕ_{v1} 電極下部の表面チャネルによる電位障壁のチャネル電位にリセットされる。次のフィールドで再びホットダイオードに信号電荷が蓄積されている間、駆動パルスは V_L と V_I の間で変化し、垂直シフトレジスタ内の信号電荷は、水平帰線期間毎に 1 ビットずつ水平シフトレジスタ側へ転送され、1 ラインずつ水平シフトレジスタにより読み出される。偶数フィールドの終了時には、 ϕ_{v1} を V_L に保持し、 ϕ_{v2} を V_H にすることにより、偶数番目 (2, 4, 6, …, 488) のホットダイオードに蓄積していた信号電荷が垂直シフトレジスタへ転送される。このようにして、標準テレビジョン方式のインターレースに適合した映像信号が、上下の画素間で感光領域が重なることなく得られることになる。

図 2-10 から分るように、ホットダイオードに蓄積可能な最大信号電荷量は、垂直シフトレジスタ駆動パルスが V_H のときと V_I のときの電位障壁のチャネル電位の差により決定される。ホットダイオードの電位は、駆動パルスが V_H になったときに電位障壁のチャネル電位にリセットされ、信号電荷の蓄積とともに低下していくが、駆動パルスが V_I のときの電位障壁のチャネル電位まで低下すると、信号電荷は電位障壁を越えて垂直シフトレジスタへ溢れ始めることにより、過剰電荷が垂直シフトレジスタの転送チャネルに沿って拡がるブルーミング現象を生じることになる。一方、垂直シフトレジスタはボロンのイオン注入により転送の方向付けを行った 2 相駆動方式であるので、

転送可能な最大信号電荷量はボロンによる電位障壁の高さにより決定されるが、信号電荷の転送のためには、パルスが V_I のときのボロンによる電位障壁部分のチャネル電位が、パルスが V_L のときのボロンがない部分のチャネル電位よりも高いことが必要であることから、 $V_I - V_L$ の最小値が決まる。

以上より、垂直シフトレジスタの駆動パルスのレベルは、先ず V_L を決定し、前記 $V_I - V_L$ の最小値を上廻るように V_I を選んだあと、ホトダイオードの最大信号電荷量が垂直シフトレジスタの最大信号電荷量よりも大きくなるように V_H を選べば、素子の最大信号電荷量を決める垂直シフトレジスタの最大信号電荷量が得られる動作条件で、素子を駆動することができる。

2.4 素子の特性

以下に示す特性は、素子を次の条件で駆動して測定したものである。

水平シフトレジスタ駆動周波数	7.16 MHz
垂直シフトレジスタ駆動周波数	15.75 kHz
垂直シフトレジスタ駆動パルス高レベル (V_H)	11 V
垂直シフトレジスタ駆動パルス中レベル (V_I)	6 V
垂直シフトレジスタ駆動パルス低レベル (V_L)	0 V

図2-11は、2854 K タングステンランプに対する素子の光電変換特性を示したものである。感度は 170 nA/lux である。また、飽和信号電流は 180 nA である。

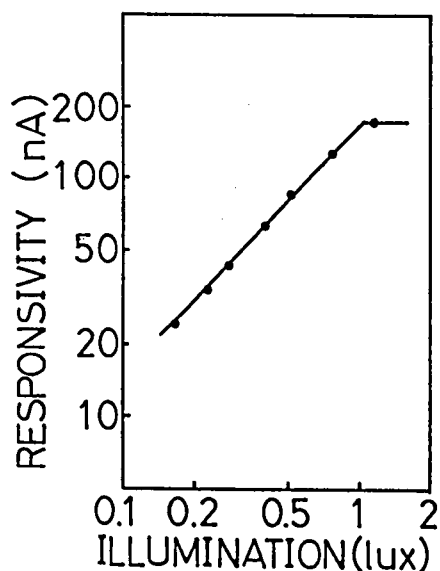


図2-11 光電変換特性

図2-12は、素子の開口部に対する絶対感度の波長依存性を示したものである。可視光全域に亘って凹凸の少ない滑らかな特性が得られていることが分る。これは、本素子の光電変換部には、短波長感度の低下のみならず多重干渉による感度の凹凸の原因となるポリシリコン電極でその全域が覆われるホットゲートではなく、ホットダイオードが用いられていることによる。量子効率⁽³⁾は、波長400nmに対しても55%であり、可視光全域に亘って55%以上の値が得られている。±10%の測定誤差と、開口部の約1/5が垂直シフトレジスタ電極配線のための半透明なポリシリコン電極で覆われ、その部分の短波長感度がないことを考慮すると、波長400nmに対する正味の量子効率は $69 \pm 7\%$ となる。短波長領域でのこのように高い量子効率⁽³⁾は、イオン注入による低濃度(10^{17} cm^{-3} 以下)で浅い接合($0.5 \mu\text{m}$ 以下)が寄与している。

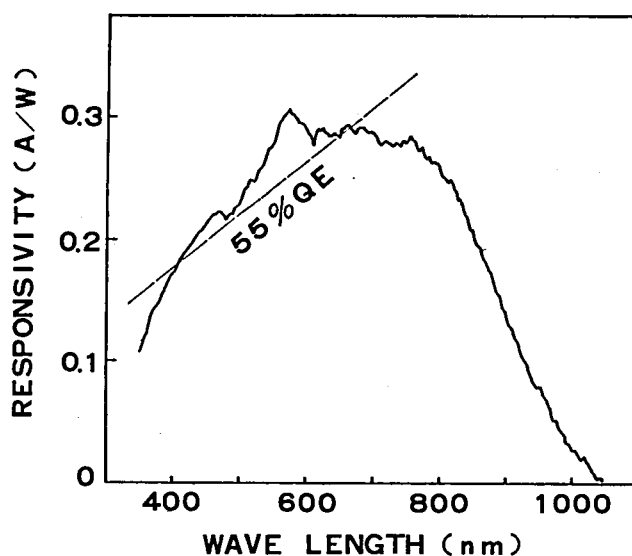


図2-12 分光感度特性

図2-13は、光電変換部にそれぞれ、

ポリシリコン電極によるホットゲート方式

熱拡散により形成したn層によるホットダイオード方式

イオン注入により形成したn層によるホットダイオード方式

を用いた、別途試作した2048画素一次元CCD撮像素子の分光感度特性を比較したものである。⁽³⁾ホットゲート方式は、光電変換部の全面が半透明なポリシリコン電極で覆われているため、全波長に亘ってホットダイオード方式に大幅に劣る特性となっている。また、ホットダイオード方式について比較すると、イオン注入によるものが熱拡散によるものに比べ、特に短波長領域での感度が著しく向上していることがわかる。この理由は、以下のように説明することができる。短波長光の光電変換

は大部分シリコン基板表面近くで生じるが、熱拡散によるホットダイオード方式の場合には、この部分には高濃度のn層が形成されているため、少数キャリアのライフタイムが短く、そのほとんどが再結合により失われる。⁽⁴⁾ 一方、イオン注入によるホットダイオード方式の場合には、n層が浅いのでn層での光電変換の割合が小さく、またn層が低濃度であるため、この部分で発生した少数キャリアのライフタイムも比較的長い。このため、イオン注入によるホットダイオード方式では、短波長感度の向上が可能となる。

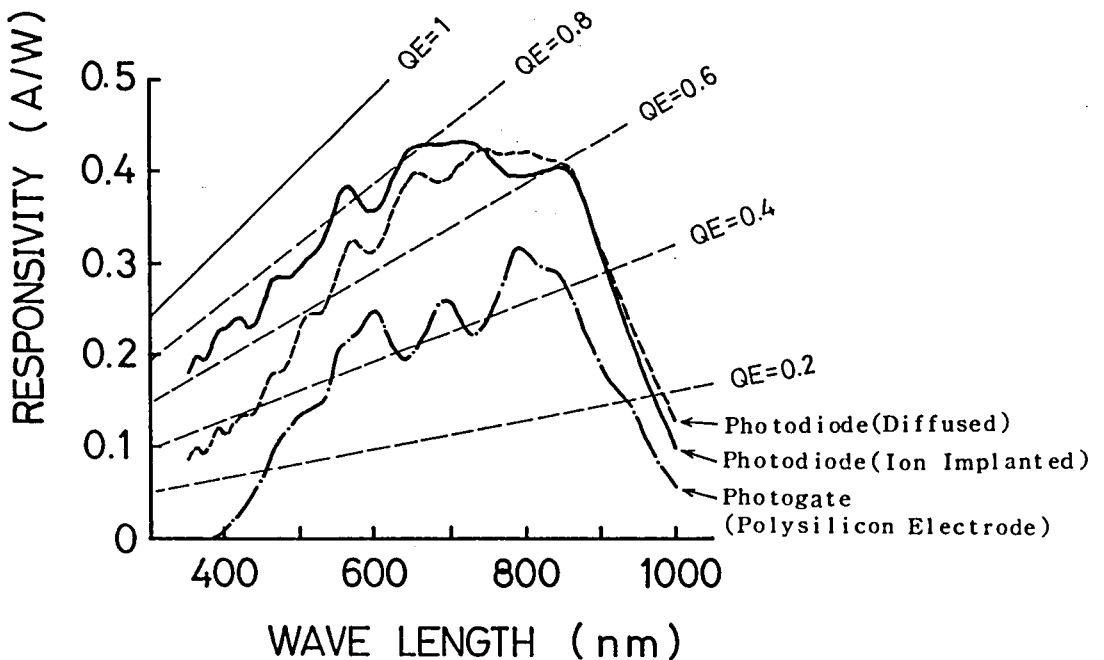


図2-13 光電変換部の構造と分光感度特性

図2-14は、本素子によるEIAJ (Electronic Industries Association of Japan) 解像度チャートの撮像例を示したものである。垂直解像度は480TV本であり、水平解像度は280TV本である。本素子の垂直画素数は488であり、水平画素数は385であるが、それらの一部は帰線期間に設けられており、有効走査期間に対応する画素数は、垂直が485、水平が378である。また、水平解像度は、テレビジョン画面のアスペクト比(3:4)により、3/4倍に正規化される。以上より、本素子の解像度は、画素数より導出される理論限界値にはほぼ一致していることがわかる。

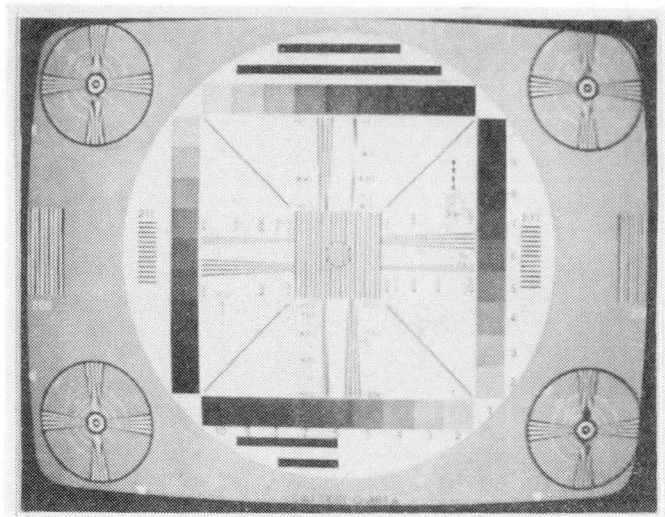


図 2-14 EIA J 解像度チャート撮像例

2.5 ま と め

以上，TGL構造を用いた1インチ光学系対応の488×385画素インターライン転送方式CD撮像素子について述べた。

本素子のチップ寸法は，開発当時のデザインルールの制約から1.2mm×1.42mmと大きく，量産に適したものとは言い難い。また，強い光の入射時に過剰電荷が溢れるブルミングに対する対策も施されていない。しかしながら，本素子に用いられたTGL構造は，インターライン転送方式の構造の複雑さの軽減に大きく寄与するものである。この構造により，トランスファゲート電極が不要となり，セル構造が簡略化されるのみならず，ポリシリコン2層での製造が可能となった。TGL構造は，第3章，第4章，第5章で述べる撮像素子に踏襲されていくのみならず，他社の撮像素子にも広く用いられることとなる。⁽⁵⁾⁽⁶⁾⁽⁷⁾

また，この章で述べたイオン注入によるホトダイオードは，第3章で述べる撮像素子にも用いられ，更に n^+-n^-p-n 構造ホトダイオードへと発展していくことになる。

参 考 文 献

- (1) S. Miyatake, S. Ogawa, K. Fujino, K. Misawa, T. Nagakawa, T. Watanabe, O. Matsui, and K. Awane, "An interline-transfer CCD imager with floating photodiodes," in *IEDM Tech. Dig.*, pp. 342-345, 1980.
- (2) Y. Ishihara, E. Takeuchi, N. Teranishi, A. Kohno, T. Aizawa, K. Arai, and H. Shiraki, "CCD image sensor for single sensor color camera," in *ISSCC Dig. Tech. Papers*, pp. 24-25, 1980.
- (3) T. Watanabe, T. Nagakawa, K. Misawa, K. Fujino, S. Miyatake, S. Ogawa, O. Matsui, and K. Awane, "CCD linear image sensor with 2048 elements," *Trans. IECE of Japan*, vol. E63, pp. 855-862, Dec. 1980.
- (4) S. G. Chamberlain, D. J. Roulston, and S. P. Desai, "Spectral response limitation mechanisms of a shallow junction $n^+ - p$ photodiode," *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 167-172, Feb. 1978.
- (5) Y. Ishihara, E. Oda, H. Tanigawa, N. Teranishi, E. Takeuchi, I. Akiyama, K. Arai, M. Nishimura, and T. Kamata, "Interline CCD image sensor with an antiblooming structure," in *ISSCC Dig. Tech. Papers*, pp. 168-169, 1982.
- (6) K. Horii, T. Kuroda, T. Kuriyama, Y. Hiroshima, Y. Sone, and T. Kunii, "A very small " Super-8 " size CCD image sensor," in *Late News Abstracts of 15th Conference on Solid State Devices and Materials*, pp. 26-27, 1983.
- (7) 小池, 秋山, 田村, "二行読み出し方式CCD撮像素子," テレビ学全国大会, 3-10, 1984.

第 3 章 クロック配線分離構造 —CLIP 構造を用いた撮像素子—

3.1 まえがき

この章では、本研究において新たに開発したクロック配線分離構造—CLIP (clock-line-isolated photodiode) 構造を用いた 580×475 画素インターライン転送方式 ⁽¹⁾⁽²⁾ CCD 撮像素子について述べる。

第 2 章で述べた TGL 構造により、ホットダイオードを光電変換部に用いたインターライン転送方式 CCD 撮像素子よりトランスファゲート電極を除去することが可能となったが、CLIP 構造はさらに、厚い酸化膜やイオン注入によるチャネルストップを撮像部から除去することを可能とする新構造である。チャネルストップの除去は、従来は単にクロックパルスの伝播にのみ用いられてきたクロック配線に、画素分離の機能をも持たせることにより達成された。TGL 構造と CLIP 構造により、インターライン転送方式の欠点であった構造の複雑さは、大幅に軽減されることになる。

以下、第 2 節において素子の構造について述べ、第 3 節においてフレーム蓄積モードとフィールド蓄積モードにおける素子の動作について説明する。1.2.2 でも述べたように、フレーム転送方式の駆動がフィールド蓄積モードに限られるのに対し、インターライン転送方式では、フレーム蓄積モードとフィールド蓄積モードでの駆動が可能であり、このことがインターライン転送方式の特長のひとつとなっている。CLIP 構造撮像素子は、チャネルストップが撮像部に存在しないにも拘らず、ホットダイオードと CCD 垂直シフトレジスタ、ホットダイオード相互がチャネルストップで分離された従来のインターライン転送方式撮像素子と全く同じように、両モードでの駆動が可能である。第 4 節においては、フレーム蓄積モードとフィールド蓄積モードにおける素子の特性を示す。

3.2 素子の構造

本素子は、PAL (phase alternation by line) や SECAM (séquentiel colours a mémoire) 方式などの走査線 625 本のテレビジョン方式用である。図 3-1 に素子の構成を示す。本素子は、第 2 章で述べた 488×385 画素撮像素子と同様、イオン注入による p-n 接合ダイオードを光電変換部に用いたインターライン転送方式により構成されている。垂直画素数は 580 であり、PAL 方式 (走査線本数 625、有効走査線数 576) などに対応している。一方、水平画素数は 475 で、このうち光電変換を行う有効画素数は 462 であり、残り 13 画素は光照射のないときのレベル、すなわち黒基準レベル用にアルミニウムで遮光されている。

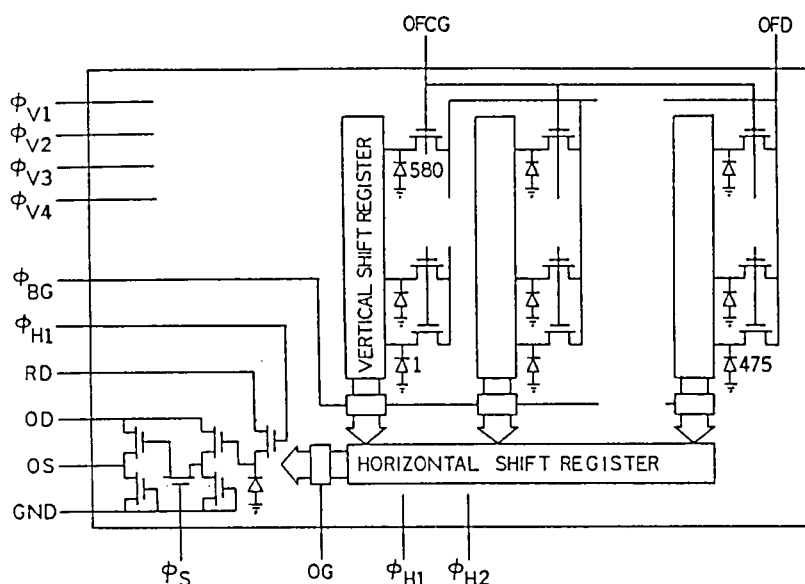


図 3-1 CLIP構造を用いた撮像素子構成図

水平画素数は、第2章で述べた 488×385 画素撮像素子の約1.2倍であり、PAL方式の帯域の広さ（PAL方式5.0 MHz，NTSC方式4.2 MHz）に対応している。

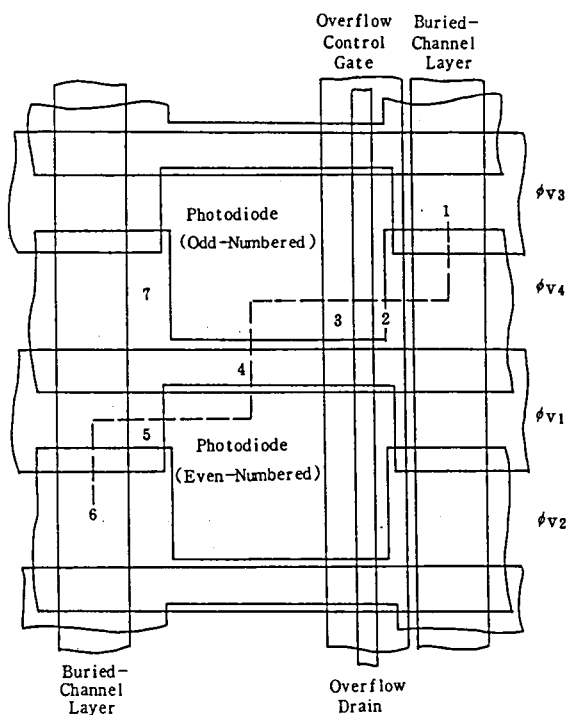
加工技術の進展に伴い、本素子では最小寸法が $1.4 \mu\text{m}$ のデザインルールを用いることができたため、画素ピッチは垂直 $1.0 \mu\text{m}$ ，水平 $1.84 \mu\text{m}$ と、第2章で述べた 488×385 画素撮像素子（垂直 $2.0 \mu\text{m}$ ，水平 $3.40 \mu\text{m}$ ）に比べ大幅に縮小された。このため、画素数の増加にも拘らず、有効撮像面は2/3インチ光学系に対応した 6.38 mm （垂直） \times 8.50 mm （水平）で、またチップ寸法は 8.2 mm （垂直） \times 10.0 mm （水平）へと逆に縮小している。

本素子の垂直シフトレジスタは、画素寸法の縮小による信号電荷量の減少を補うため、単位面積あたりの最大信号電荷量が多くとれる4相駆動方式による埋め込みチャネルCCDで構成され、駆動周波数は 15.625 kHz である。一方水平シフトレジスタは、高速駆動が容易である2相駆動方式による埋め込みチャネルCCDで構成されている。転送の方向付けはボロニオン注入によっており、駆動周波数は 8.8125 MHz である。また、出力部は 488×385 撮像素子と同様、浮遊拡散層による電荷検出ダイオードと2段ソースフォロフにより構成されている。

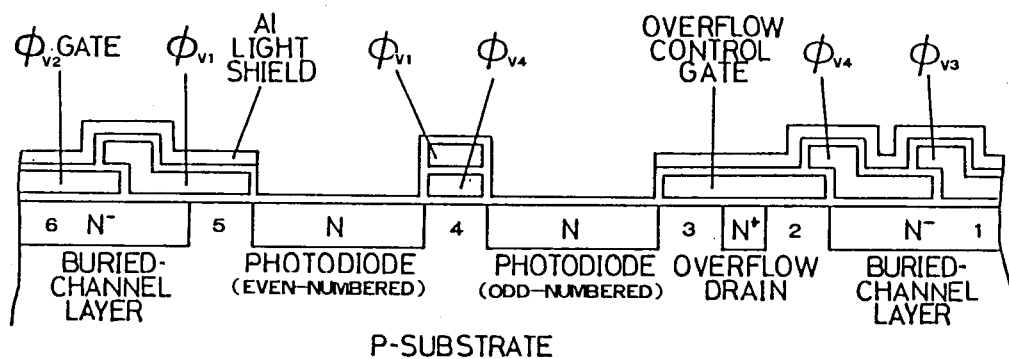
本素子には、ブルーミング抑圧のためにオーバフローライン⁽³⁾が設けられている。固体撮像素子では、強い光の入射時に発生する過剰電荷は転送チャネルや伝送線に沿って溢れるため、表示上では明るい対象物の上下に飽和状態の白い帯が広がる。このため、ブルーミングを生じると画質を著しく損ねるだけでなく、白い帯と重なった部分の全情報が失われてしまうので、その対策は必須といえる。

図3-2は、撮像部の(a)平面図と(b)断面図を示したものであり、断面図は平面図の破線に沿って

描かれている。垂直方向に一列に並んだホトダイオードに対して、平面図では左側に垂直シフトレジスタを構成する埋め込みチャンネル層が、右側にはオーバフロードレインが配置されている。素子は、オーバフロードレインの上部に設けられるオーバフローコントロールゲートに第1層ポリシリコンを用い、2層ポリシリコン重ね合せゲート構造によるCCD垂直シフトレジスタ電極に第2層および第3層ポリシリコンを用いる3層ポリシリコン構造である。そして、第2層ポリシリコン



(a) 平面図



(b) 断面図

図3-2 撮像部の構造

により ϕ_{v2} および ϕ_{v4} 電極が、第3層ポリシリコンにより ϕ_{v1} および ϕ_{v3} 電極が形成される。また、ホットダイオードのn層は、これら3層のポリシリコンをマスクとして、イオン注入により形成される。

3.3 素子の動作

3.3.1 動作の概要

本素子がフレーム蓄積モードで駆動されるときは、垂直シフトレジスタの ϕ_{v1} および ϕ_{v3} クロックは V_L (低), V_I (中), V_H (高) の3値パルスであり, ϕ_{v2} および ϕ_{v4} クロックは V_L, V_I の2値パルスである。一方、フィールド蓄積モードで駆動されるときは, ϕ_{v1} および ϕ_{v3} クロックは V_L, V_I の2値パルスであり, ϕ_{v2} および ϕ_{v4} クロックは V_L, V_I, V_H の3値パルスである。すなわち、フレーム蓄積モードの場合は、垂直シフトレジスタ電極のうち、上側の第3層ポリシリコンで形成される ϕ_{v1} および ϕ_{v3} 電極に3値パルスが印加される。一方、フィールド蓄積モードの場合には、垂直シフトレジスタ電極のうち、下側の第2層ポリシリコンで形成される ϕ_{v2} および ϕ_{v4} 電極に3値パルスが印加される。

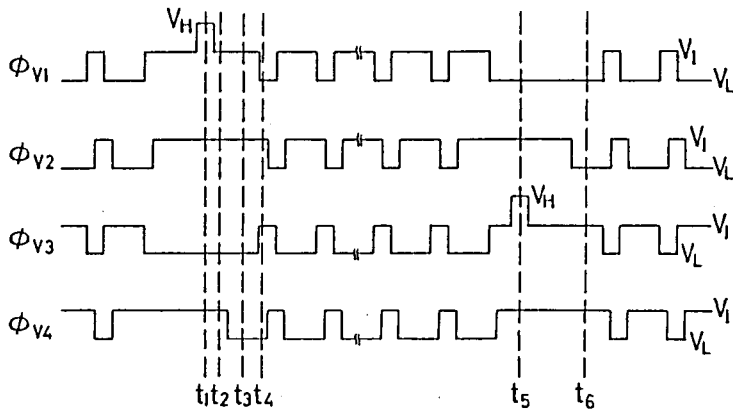
フレーム蓄積モードおよびフィールド蓄積モードにおける素子の動作について、以下に説明する。

3.3.2 フレーム蓄積モードの動作

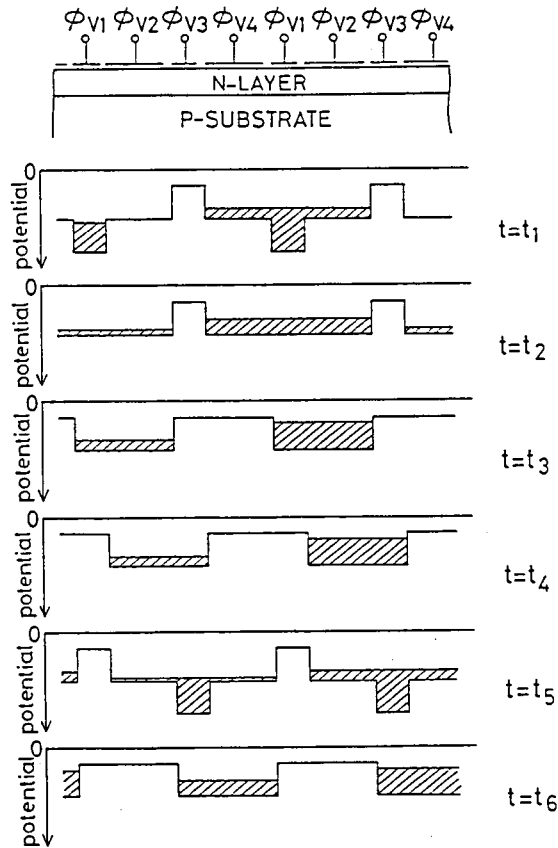
図3-3は、素子をフレーム蓄積モードで駆動する場合の(a)垂直シフトレジスタのクロックパルスのタイミングと、(b)垂直シフトレジスタのチャネル電位を示したものである。また図3-4は、図3-2(b)に対応した各部のチャネル電位を、 $V_I = 0V$, $V_L < 0V$ について示したものである。

このモードでは、 ϕ_{v1} と ϕ_{v3} がフィールド毎に交互に V_H になることにより、偶数番目又は奇数番目のホットダイオードの信号電荷を垂直シフトレジスタに転送する。すなわち、偶数フィールドの開始にあたる $t = t_1$ において ϕ_{v1} が V_H になることにより、偶数番目のホットダイオードに蓄積した信号電荷は、図3-2に示す“5”の部分、すなわち、第2層ポリシリコンにより形成された ϕ_{v2} , ϕ_{v4} 電極間隙の表面チャネルによる電位障壁部分を通して垂直シフトレジスタへ転送され、偶数番目のホットダイオードの電位は、前記電位障壁部分のチャネル電位にリセットされる。このとき、奇数番目のホットダイオードに蓄積した信号電荷は、このホットダイオードを囲む ϕ_{v2} , ϕ_{v3} , ϕ_{v4} 電極が V_L 又は V_I レベルであるため、垂直シフトレジスタに転送されることなく保持される。

C L I P構造は、垂直シフトレジスタ電極を形成する第2層および第3層ポリシリコンの相互位置がマスク合せでずれても、動作上の問題を生じないという長所を持つ。図3-2(a)において、たとえば第3層ポリシリコンで形成された ϕ_{v1} 電極が上へずれ、第2層ポリシリコンで形成された



(a) 垂直シフトレジスタクロックパルスタイミング図



(b) 垂直シフトレジスタチャネル電位

図 3-3 フレーム蓄積モードの動作

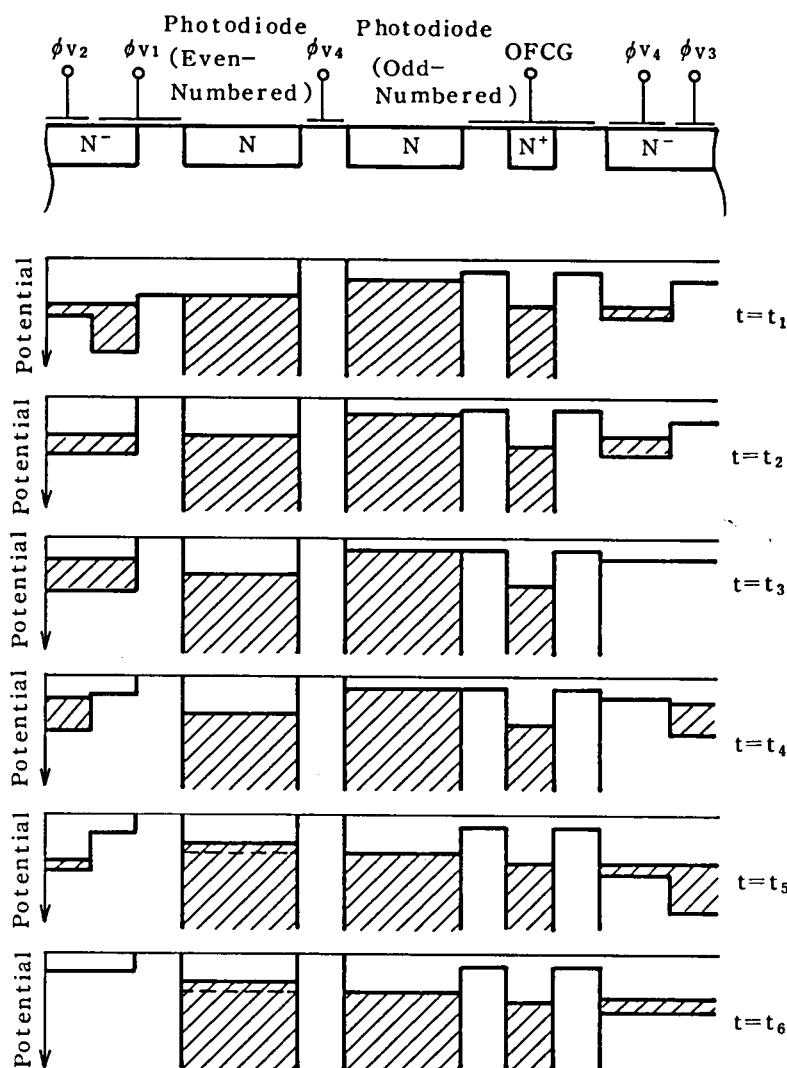


図 3-4 断面図に対応した各部のチャネル電位

ϕ_{v4} 電極を越えて奇数番目のホトダイオードの下端と接する状態になっても、 ϕ_{v1} が V_H になるときは ϕ_{v4} は V_L であることにより、奇数番目のホトダイオードに蓄積した信号電荷は、図に示す“7”の部分の表面チャネルによる電位障壁により保持される。

また、 ϕ_{v1} が V_H になるときは ϕ_{v2} と ϕ_{v4} は V_L であるため、図 3-3(b)に示すように、垂直シフトレジスタの電荷蓄積領域は ϕ_{v4} 、 ϕ_{v1} 、 ϕ_{v2} 電極直下部分となる。このため、ホトダイオードから垂直シフトレジスタへ転送された信号電荷が 4 相駆動時の最大信号電荷量以下で溢れることはない。一方、 ϕ_{v3} は V_L であるので、各ホトダイオードより転送された信号電荷は、垂直シフトレジスタ内で混合されることはない。

$t = t_2$ で ϕ_{v1} が V_L になり、つづいて $t = t_3$ で ϕ_{v4} が V_L になる。このとき信号電荷は ϕ_{v1} と ϕ_{v2} 電極下部に蓄積されており、以後信号電荷は、通常の4相駆動で垂直シフトレジスタ内を1水平期間に1ビットずつ転送されていく(図3-3(b)参照)。

一方この間、ホットダイオード相互は、図3-4に示すように、ホットダイオード間の垂直シフトレジスタ電極(図では ϕ_{v4} 電極)により形成される表面チャネルによる電位障壁によって分離される。また、ホットダイオードと垂直シフトレジスタも、両者の間の垂直シフトレジスタ電極(図では ϕ_{v1} 電極)により形成される表面チャネルによる電位障壁により分離される。更に、オーバーフローレインと隣接する垂直シフトレジスタは、オーバフローコントロールゲートにより分離される。

また、ブルーミングは以下のようにして抑圧される。例えば、図3-4の奇数番目のホットダイオードに強い光が入射し、過剰電荷が発生したとする。このとき過剰電荷は、図3-4の $t = t_3$, $t = t_4$ の部分に示すように、オーバフローコントロールゲートの下部を通してオーバフローレインに吸収され、ブルーミングが抑圧される。

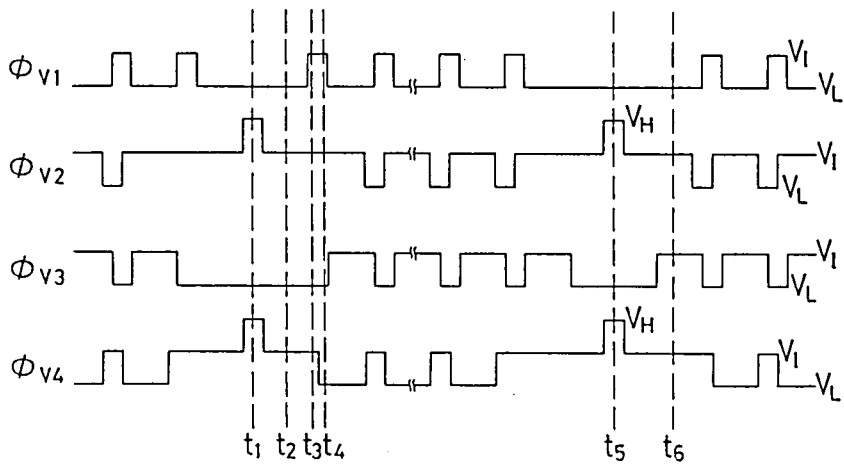
$t = t_5$ では ϕ_{v3} が V_H になり、奇数番目のホットダイオードの信号電荷が垂直シフトレジスタに転送される。このとき偶数番目のホットダイオードの信号電荷は、 ϕ_{v1} , ϕ_{v2} , ϕ_{v4} 電極によってホットダイオード内に保持される。

以上のようにして、素子をフレーム蓄積モードで駆動することができる。

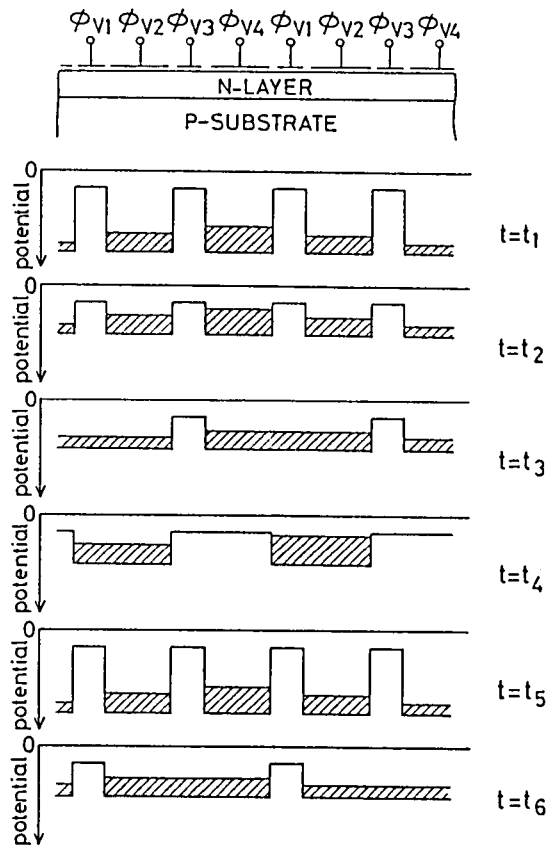
3.3.3 フィールド蓄積モードの動作

図3-5は、素子をフィールド蓄積モードで駆動する場合の(a)垂直シフトレジスタのクロックパルスのタイミングと(b)垂直シフトレジスタのチャネル電位を示したものである。このモードでは、ホットダイオードに蓄積した信号電荷を垂直シフトレジスタへ転送するために、第2層ポリシリコンにより形成された電極、すなわち垂直シフトレジスタの下側の電極、 ϕ_{v2} と ϕ_{v4} 電極に V_H を印加する。この駆動方法は、垂直シフトレジスタの上側の電極、 ϕ_{v1} と ϕ_{v3} 電極に V_H を印加することにより信号電荷の読み出しを行うフレーム蓄積モードの駆動方法と大きく異なる。

2層ポリシリコン重ね合せゲート構造において集積度の向上を図る場合、ポリシリコンの幅と間隔を加工精度の限界値近くまで縮小することが必要となるので、上側ポリシリコンと下側ポリシリコンの幅と間隔は、それぞれ同寸法に近くなる。このとき上側ポリシリコンで制御される領域の方が、下側ポリシリコンで制御される領域より、ポリシリコンの重なり部分だけ狭くなる。すなわち、 ϕ_{v1} 又は ϕ_{v3} 電極で制御される領域は、垂直シフトレジスタ1/2ビットの半分以下となる。このため、 ϕ_{v1} と ϕ_{v3} を同時に V_H とすることによりホットダイオードの信号電荷の読み出しを行えば、このとき ϕ_{v2} と ϕ_{v4} は垂直シフトレジスタ内で信号電荷を分離するために V_L 又は V_I に保つ必要がある。このとき ϕ_{v2} と ϕ_{v4} は垂直シフトレジスタ内で信号電荷を分離するために V_L 又は V_I に保つ必要があるので、垂直シフトレジスタの転送可能な最大信号電荷量以下で信号電荷が溢れてしまうことに



(a) 垂直シフトレジスタクロックパルスタイミング図



(b) 垂直シフトレジスタチャネル電位

図3-5 フィールド蓄積モードの動作

なる。図3-5(a)に示すクロックタイミングは、この問題を回避することができるものである。

ホットダイオードと埋め込みチャンネル層の間(図3-2(a)で示す“7”の部分)のチャンネル電位は、ホットダイオード間(同“4”の部分)のチャンネル電位よりも、埋め込みチャンネル層が隣接することによる2次効果のため高い。このため、 ϕ_{v2} と ϕ_{v4} が同時に V_H になると、各ホットダイオードに蓄積した信号電荷は、“4”を通過して隣接するホットダイオードに漏れることなく、“7”を通過して垂直シフトレジスタに転送される。

偶数フィールドの開始にあたる $t=t_1$ において、 ϕ_{v2} と ϕ_{v4} が V_H になることにより、偶数および奇数番目のホットダイオードに蓄積した信号電荷は、垂直シフトレジスタへ転送される。このとき ϕ_{v1} と ϕ_{v3} は V_L であるので、信号電荷は垂直シフトレジスタでも分離した状態に保たれている。 $t=t_2$ で ϕ_{v2} と ϕ_{v4} が V_L にもどったあと、 $t=t_3$ で ϕ_{v1} が V_L になることにより、2画素の信号電荷が垂直シフトレジスタで混合される。そして、 $t=t_4$ で ϕ_{v4} が V_L になり、以後は通常の4相駆動で垂直シフトレジスタは駆動される。この間、ホットダイオード相互ならびにホットダイオードと垂直シフトレジスタは、フレーム蓄積モードの場合と全く同様に、垂直シフトレジスタ電極下部に形成される電位障壁により分離される。

一方、奇数フィールドの開始にあたる $t=t_5$ においても ϕ_{v2} と ϕ_{v4} が V_H になることにより、全ホットダイオードに蓄積した信号電荷が垂直シフトレジスタへ転送される。しかし、このフィールドでは、 $t=t_6$ で ϕ_{v3} が V_L になることにより、偶数フィールドの場合とは異なる組合せで、2画素の信号電荷が混合され、インターレースが達成される。

以上のようにして、素子をフィールド蓄積モードで駆動することができる。

3.4 素子の特性

3.4.1 飽和信号電流と暗電流

素子の飽和信号電流は、ホットダイオード又は垂直シフトレジスタの取り扱い可能な最大信号電荷量により決定される。ホットダイオードに蓄積可能な最大信号電荷量は、第2章で述べた 488×385 画素撮像素子と同様、 V_H と V_L に依存する。一方、垂直シフトレジスタの転送可能な最大信号電荷量は、 V_L と V_L に依存する。垂直シフトレジスタは4相駆動方式であるので、 V_L が印加された電極直下部分が蓄積領域を、 V_H が印加された電極直下部分が障壁領域をそれぞれ形成し、これらの領域がゲート電極に印加されるクロックパルスによって順次移動していくことにより、信号電荷の転送が行われる。このため、転送可能な最大信号電荷量は、蓄積領域のチャンネル電位が高い程、また障壁領域のチャンネル電位が低い程多くなる。

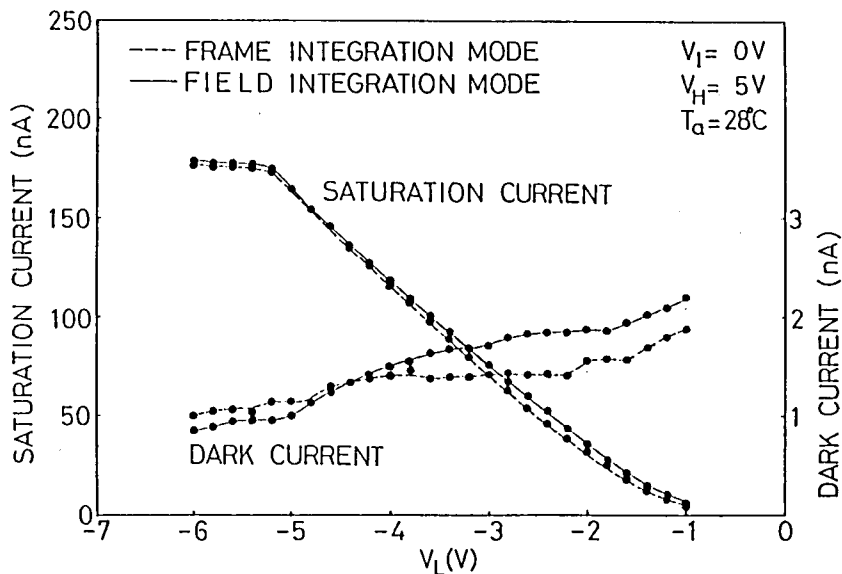
一方、暗電流は、その主要なものを発生原因によって分類すると次のようになる。

① 空乏層領域内のトラップにより発生するもの

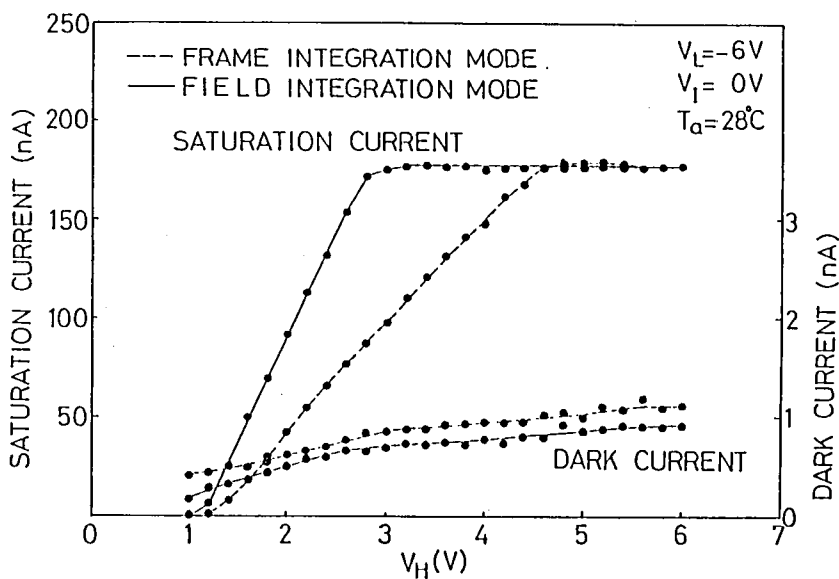
② シリコンと酸化膜境界の界面準位により発生するもの

①は空乏層幅に依存するので、電極に印加する電圧が高いほど多くなる。一方、②に関しては、シリコン表面に正孔を蓄積させると、界面準位を満たすことができ、その減少を図ることができる。

図3-6は、フレーム蓄積モードおよびフィールド蓄積モードで素子を駆動し、飽和信号電流と



(a) V_L 依存性



(b) V_H 依存性

図3-6 飽和信号電流と暗電流

暗電流を測定した結果を示したものである。この測定では、 V_I を 0 V 、 V_L を負にして表面チャネル領域に正孔を蓄積させている。ここで、(a)は V_H を 5 V に固定し、 V_L のみを変化させたものであり、(b)は V_L を -6 V に固定し、 V_H のみを変化させたものである。(a)より、飽和信号電流の V_L 依存性は両駆動モードではほとんど差がなく、また V_L の低下とともに増加し、 -5 V 以下ではほぼ一定となることがわかる。これは、垂直シフトレジスタの障壁領域のチャネル電位が V_L の低下とともに低くなっていくためであり、また V_L が -5 V 以下ではピニング現象のため障壁領域のチャネル電位が一定となるためである。⁽⁴⁾

以下にピニング現象について説明を行う。図3-7は、埋め込みチャネルCCDの深さ方向の電位分布の例を示したものである。ここで、ゲート電圧が V_{G1} のとき、埋め込みチャネルの表面電位は ϕ_{s1} であり、チャネルはシリコン表面より離れて形成され、電位は ϕ_{m1} である。いまゲート電圧を V_{GP} に低下させると、表面電位は $\phi_{SP}(=0\text{ V})$ に、チャネル電位は ϕ_{mP} に低下する。ゲート電圧を更に低下させ V_{G2} にすると、埋め込みチャネル周囲のチャネルストップあるいは表面チャネル領域から埋め込みチャネル表面に $V_{G2} - V_{GP}$ に比例した量の正孔が供給され、電気的中性が保たれる。このため、ゲート電圧の低下にも拘らず、埋め込みチャネルの表面電位は 0 V に固定され、またチャネル電位も ϕ_{mP} に固定されることになる。このように、埋め込みチャネルCCDのチャ

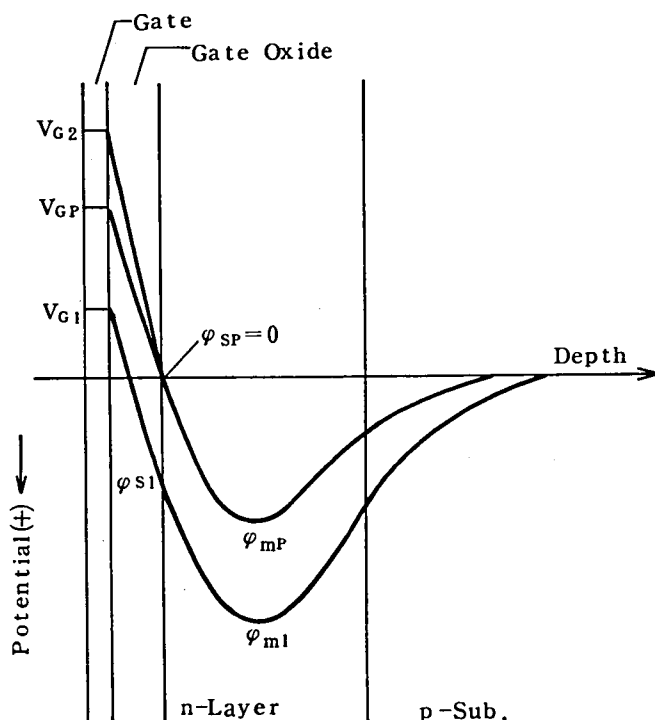


図3-7 埋め込みチャネルCCDの深さ方向電位分布

ネル電位が、ある電圧以下の負のゲート電圧に対して一定値となる現象をピンング現象と呼ぶ。本素子の埋め込みチャネルCCDでは、この現象が -5 V 以下のゲート電圧で生じている。

一方、暗電流は、 V_L の低下とともに減少し、 V_L が -5 V 以下ではほぼ一定値となる。これは、 V_L の低下とともに空乏層幅が減少し、 V_L が -5 V 以下では前述のピンング現象のため空乏層幅も一定値となるためと考えられる。

また、(b)に示す飽和信号電流の V_H 依存性より、フィールド蓄積モードの方がフレーム蓄積モードよりも低い V_H で、等しい飽和電流が得られることがわかる。これは、フレーム蓄積モードでは、各フィールドで半数のホットダイオードの信号電荷しか読み出されないのに対し、フィールド蓄積モードでは、各フィールドで全てのホットダイオードの信号電荷が読み出されるためである。

図3-6より、フレーム蓄積モードでは $V_H=6\text{ V}$ 、フィールド蓄積モードでは $V_H=3\text{ V}$ 、また両モードとも $V_L=-6\text{ V}$ で、 170 nA の飽和信号電流が得られることがわかる。また暗電流は、周囲温度 28°C で両モードともに約 1 nA である。

CLIP構造撮像素子は、正極性のパルスによっても駆動可能である。この場合、空乏層幅が増大することと、表面チャネル領域の表面に正孔を蓄積できないことにより、暗電流は増加する。図3-8は、 V_L を 0 V 、 V_H を 9 V に固定し、 V_I のみを変化させたときの両駆動モードにおける飽和信号電流と暗電流の測定結果を示したものである。この駆動方法では、 V_I-V_L が垂直シフトレジスタの最大信号電荷量を決定し、 V_H-V_I がホットダイオードの最大信号電荷量を決定する。こ

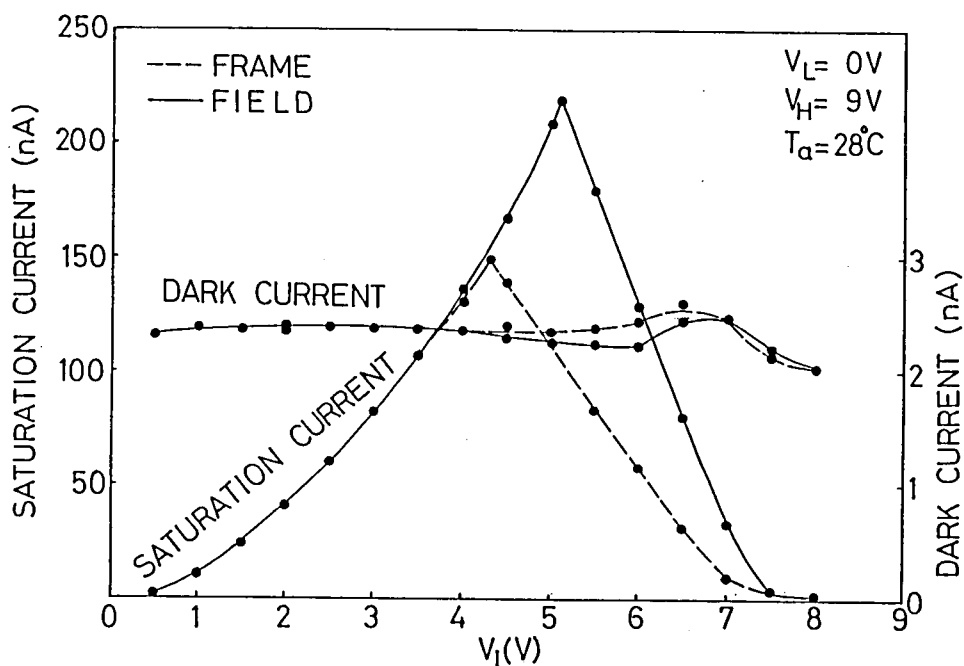


図3-8 正極性駆動における飽和信号電流と暗電流

のため、素子の飽和信号電流は、 V_I の低い領域では垂直シフトレジスタの、 V_I の高い領域ではホットダイオードの最大信号電荷量により決定されることになり、飽和信号電流の最大値は、両者が等しくなる V_I で得られることになる。図より、最大の飽和信号電流は、フレーム蓄積モードでは 150 nA ($V_I = 4.3 \text{ V}$)、フィールド蓄積モードでは 220 nA ($V_I = 5.1 \text{ V}$) であることがわかる。また暗電流は、周囲温度 28°C で両モードともに約 2 nA である。

3.4.2 解像度特性

図3-9は、 $2 \mu\text{m}$ 幅の光スリット（波長 560 nm ）を素子に対して垂直方向に移動させて、1ビットの出力信号を観測したものである。ここで、(a)はフレーム蓄積モード、(b)はフィールド蓄積モードで素子を駆動している。図より、フレーム蓄積モードでは1個のホットダイオードが、フィールド蓄積モードでは2個のホットダイオードが、それぞれ1ビットの信号に寄与していることがわかる。また、フィールド蓄積モードの場合の出力信号は双峰形となり、ピーク値はフレーム蓄積モードの場合の約半分となる。これは、積分時間がフィールド蓄積モードではフレーム蓄積モードの半分であり、また、2個のホットダイオードの間には半透明なポリシリコン電極が存在することによる。

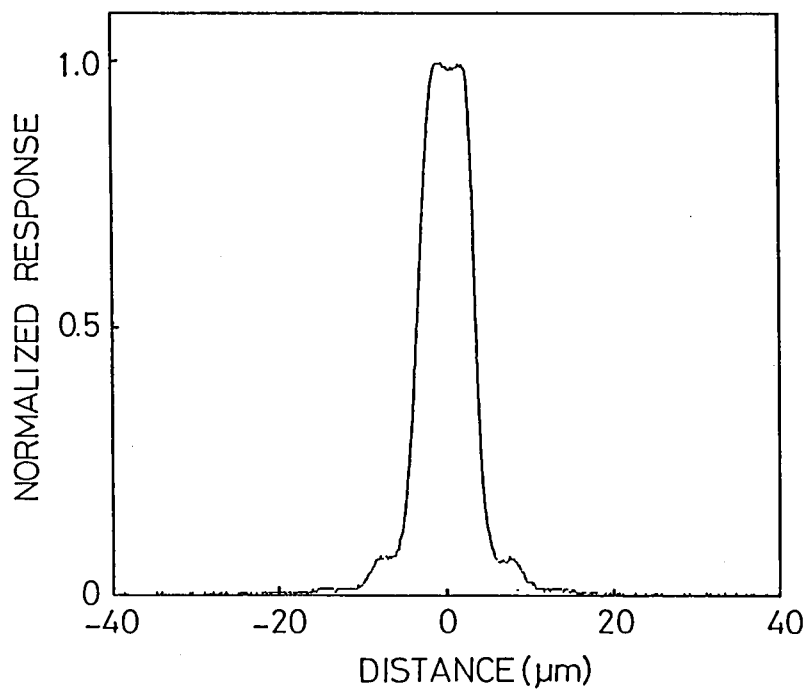
図3-10は、図3-9よりもとめた垂直方向MTF (modulation transfer function) ⁽⁵⁾を示したもので、計算には光スリットによる入射光をガウス分布と仮定する下記の式を用いた。

$$\text{MTF} = \exp[-2(\pi\sigma f)^2] \frac{\int_{-\infty}^{\infty} A(x) \cos(2\pi f x) dx}{\int_{-\infty}^{\infty} A(x) dx}$$

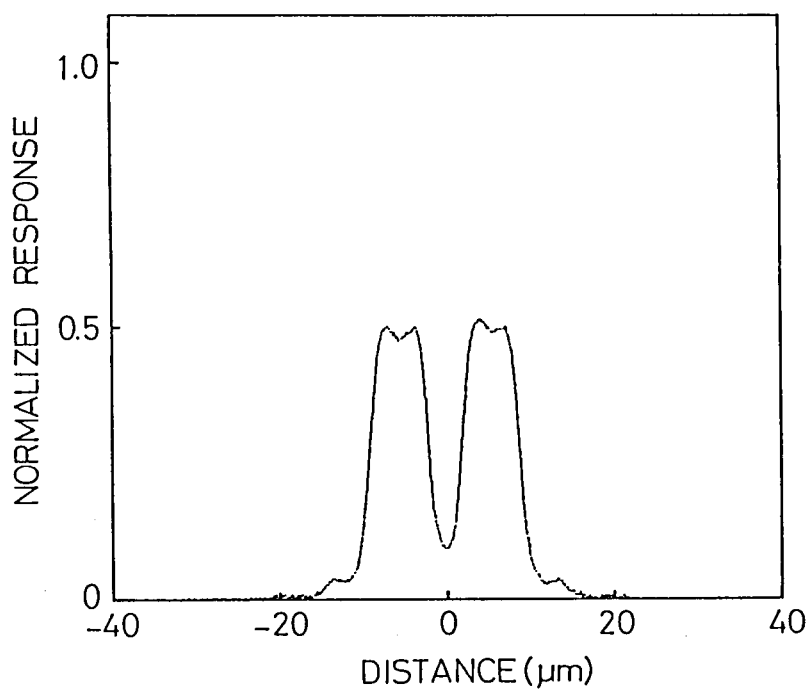
ここで、 $A(x)$ は応答、 f は空間周波数、 σ は標準偏差である。

素子のナイキスト限界 570 TV本 におけるMTFは、フレーム蓄積モードでは 0.68 、フィールド蓄積モードでは 0 である。しかし、フィールド蓄積モードにおいても、 400 TV本 に対するMTFは 0.37 である。

図3-11は、フレーム蓄積モードおよびフィールド蓄積モードにおけるEIAJ解像度チャートの撮像例を示したものである。両モードとも水平解像度は 840 TV本 であり、画素数より導かれる理論限界値が得られている。一方垂直解像度は、フレーム蓄積モードの場合は、ナイキスト限界の 570 TV本 が得られており、それ以上の空間周波数に対しては偽解像を生じている。また、フィールド蓄積モードの場合には、ナイキスト限界に近づくとともに徐々に出力が低下していくが、 400 TV本 付近でも明瞭に解像していることがわかる。これらの撮像結果は、図3-10に示したMTF値と定性的に一致している。



(a) フレーム蓄積モードの場合



(b) フィールド蓄積モードの場合

図3-9 光スリットに対する応答

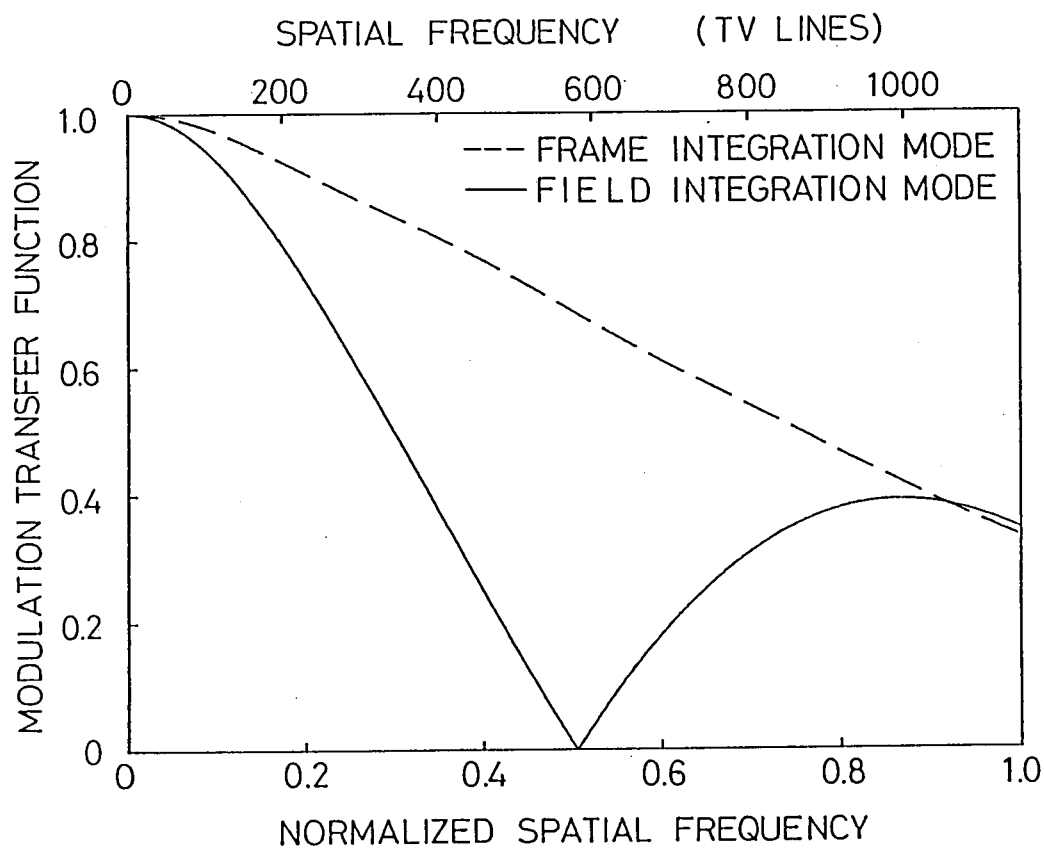
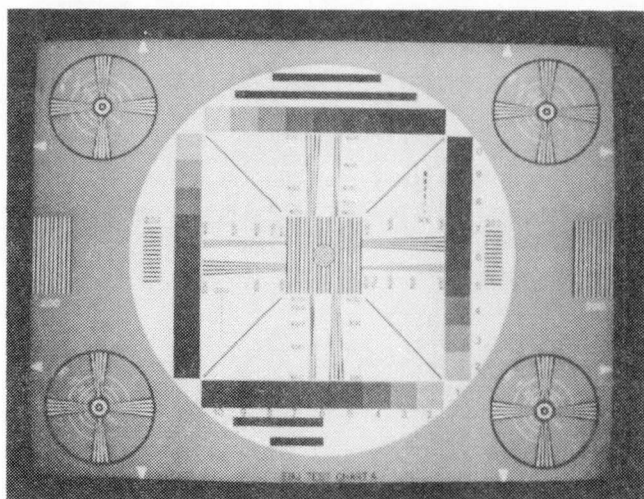
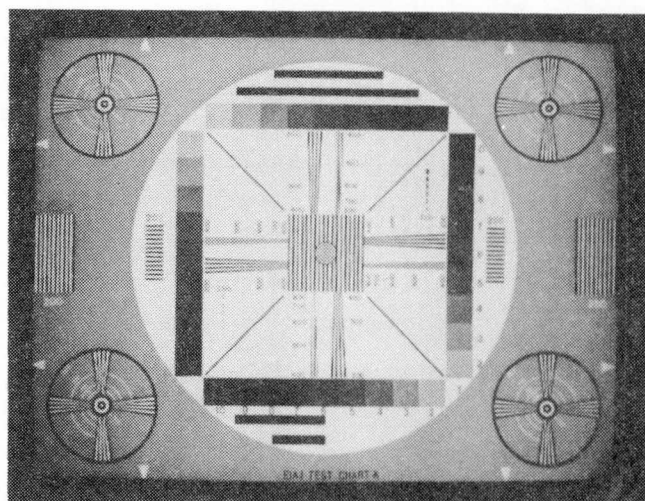


图 3-10 垂直方向 MTF

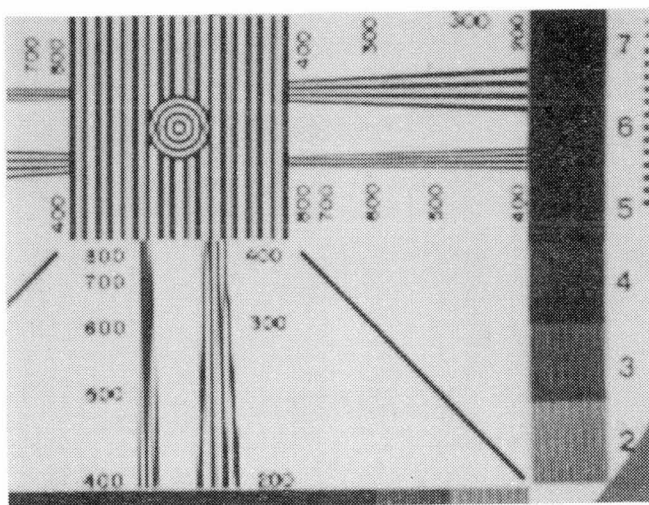


(a) フレーム蓄積モード

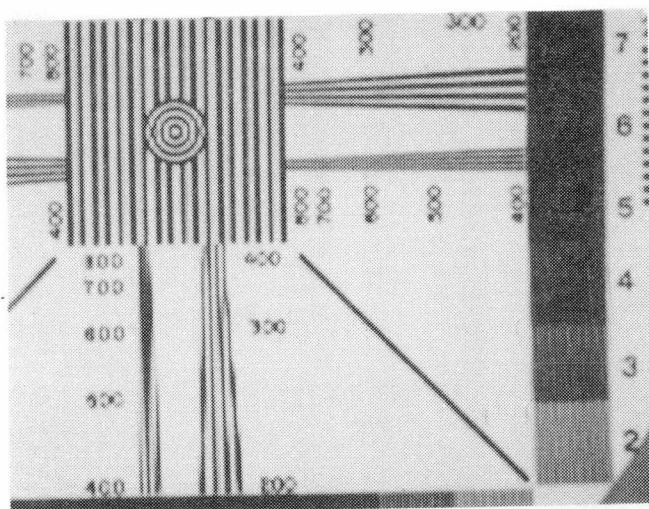


(b) フィールド蓄積モード

図3-11 EIA J解像度チャート撮像例



(c) 図(a)の部分拡大



(d) 図(b)の部分拡大

図3-11 EIAJ解像度チャート撮像例

3.5 ま と め

以上、CLIP構造を用いた2/3インチ光学系対応の580×475画素インターライン転送方式CCD撮像素子について述べた。

CLIP構造は、従来は単にクロックパルスを伝播するためにのみ用いられてきたクロック配線に画素分離の機能をもたせることにより、厚い酸化膜やイオン注入によるチャネルストップを撮像部から除くことを可能とするものである。この新構造と第2章で述べたTGL構造により、インターライン転送方式の構造の複雑さは、大幅に軽減された。

また、CLIP構造を用いた撮像素子は、撮像部にチャネルストップが存在しないにも拘らず、従来のインターライン転送方式と同じように、フレーム蓄積モードとフィールド蓄積モードの2種の動作モードが可能であることを示した。このため、CLIP構造撮像素子は、オーバフロードレインを持つフレーム転送方式撮像素子の製造工程に、自動位置決めによるホットダイオードのn層形成のための工程を追加するだけで製造できるにも拘らず、フレーム転送方式では不可能であったフレーム蓄積モードでの動作が可能である。更に、光電変換部にはホットダイオードが用いられているため、光電変換部にホットゲートしか使用できないフレーム転送方式と比べ、短波長感度についても有利である。

CLIP構造は、第4章および第5章で述べる撮像素子にもTGL構造とともに用いられ、構造の簡略化や有効面積の拡大などに寄与することになる。

参 考 文 献

- (1) S.Miyatake, T.Nagakawa, K.Misawa, M.Okuno, O.Matsui,
and K.Awane, "A CCD imager with 580×475 clock-line-
isolated photodiodes," in *ISSCC Dig. Tech. Papers*, pp.262-
263, 1983.
- (2) S. Miyatake, T. Nagakawa, H. Kosaza, K. Misawa, M. Okuno,
K. Takii, O. Matsui, and K. Awane, "Operation and characteristics
of a CLIP imager," *IEEE Trans. Electron Devices*, vol.
ED-32, pp.1469-1474, Aug.1985.
- (3) W. F. Kosonocky, J. E. Carnes, M. G. Kovac, P. Levine, F. V.
Shallcross, and R. D. Rodger III, "Control of blooming in charge-
coupled imagers," *RCA Review*, vol. 35, pp. 3-24, Mar.1974.
- (4) W. F. Kosonocky and J. E. Carnes, "Basic concepts of charge-
coupled devices," *RCA Review*, vol. 36, pp. 566-593,
Sep. 1975.
- (5) 山田, 関根, 後藤, 松井, 岩沢, 鈴木, "2048画素CCDリニアイメージセンサ,"
テレビ学技報, vol. 4, ED-538, Nov. 1980.

第 4 章 浅い p ウェル構造と n^+-n^-p-n 構造 ホトダイオード - SPW 構造と n^+-n^-p-n ホトダイオードを用いた撮像素子 -

4.1 まえがき

第 2 章で述べた TGL 構造と、第 3 章で述べた CLIP 構造により、インターライン転送方式 CCD 撮像素子の構造の複雑さを大幅に軽減することが可能となったが、この章では、固体撮像素子特有の欠点であるスミアを低減することを目的とする SPW (shallow p-well) 構造と、分光感度特性の改善を可能とする n^+-n^-p-n 構造 ホトダイオードを用いた 488×590 画素インターライン転送方式 CCD 撮像素子⁽¹⁾について述べる。

第 3 章で述べた 580×475 画素撮像素子は、強い光の入射時に発生する過剰電荷を排出するためのオーバフローレインを平面的に内蔵して、ブルーミングを抑圧していた。オーバフローレインの構造として、この横型構造⁽²⁾のほかに、VOD (vertical overflow drain)⁽³⁾と呼ばれる縦型構造がある。VOD 構造では、 n 基板上に形成された浅い p ウェル内にホトダイオードを、厚い p ウェル内に CCD 垂直シフトレジスタを設け、p ウェルに対して逆方向バイアス電圧が印加された n 基板をオーバフローレインとして用いるため、オーバフローレインが平面的に配置されたものにおけるような画素の有効面積の減少がないという長所を持つ。しかしながらこの構造は、ホトダイオード直下にオーバフローレインが設けられているため、中波長感度の低下や信号電荷の蓄積による分光感度の変動が生じるという欠点があった。

一方、強い光の入射時に生じるもうひとつの現象、スミアに対しては、インターライン転送方式にフレーム転送方式の蓄積部を付加する FIT (frame interline transfer) と名付けられた方法⁽⁴⁾を除いて、有効な対策は見出されていなかった。インターライン転送方式の場合スミアは、光電変換により発生した電荷が拡散により光電変換部に隣接する垂直シフトレジスタに混入することにより生じるが、FIT 方式では、光電変換部より信号電荷を垂直シフトレジスタに通常のインターライン転送方式と同じように転送したあと、フレーム転送方式のように垂直帰線期間内に短時間で信号電荷を蓄積部へ転送することにより、スミアを低減する。この方式は、フレーム転送方式⁽²⁾の感光部を光電変換部と信号転送部に分け、後者を遮光した構造と見なすこともでき、スミアの大幅な低減が可能となるが、同時にチップ寸法も 2 倍近くに増大することになるので、実用的とは言い難い。

SPW 構造は、チップ寸法の増大なしにスミアを低減する新構造である。従来の VOD 構造ではホトダイオードを浅い p ウェル内に形成し、CCD シフトレジスタを深い p ウェル内に形成していたのに対し、SPW 構造では、CCD シフトレジスタも n 基板との間に印加された逆方向バイアス

電圧により完全に空乏化する浅いpウェル内に形成する。この新構造によって光电変換により発生した電荷のCCDシフトレジスタへの拡散が防止され、本素子ではスミアを -73 dB （入射光波長 550 nm ）にまで低減することができた。

また、従来の n^+-p-n 構造に低濃度のn領域を付加した n^+-n^-p-n 構造ホットダイオードによって、実効光电変換領域を厚く保つことが可能となり、縦型オーバーフローレイン構造であるにも拘らず、中波長感度の向上と分光感度の変動の抑圧が図れるようになった。

以下、第2節で素子の構造について述べ、つづいて第3節で素子の動作を説明する。そして、第4節において素子の特性を示す。またここでは、浅いpウェル内に形成された撮像素子の暗電流特性についても詳しく論じる。

4.2 素子の構造

図4-1に素子の全体の構成を示す。本素子も、第2章で述べた 488×385 画素撮像素子ならびに第3章で述べた 580×475 画素撮像素子と同様、ホットダイオードを光电変換部に用いたインターライン転送方式により構成されている。本素子は、NTSC方式など走査線525本のテレビジョン方式用であるため、垂直画素数を488とした。また水平画素数は、水平解像度の向上を図るため、590（黒基準レベル用の20画素を含む）とした。水平シフトレジスタのクロック周波数は、色副搬送波周波数の3倍（ 10.74 MHz ）となる。画素ピッチは垂直 $13.0\text{ }\mu\text{m}$ 、水

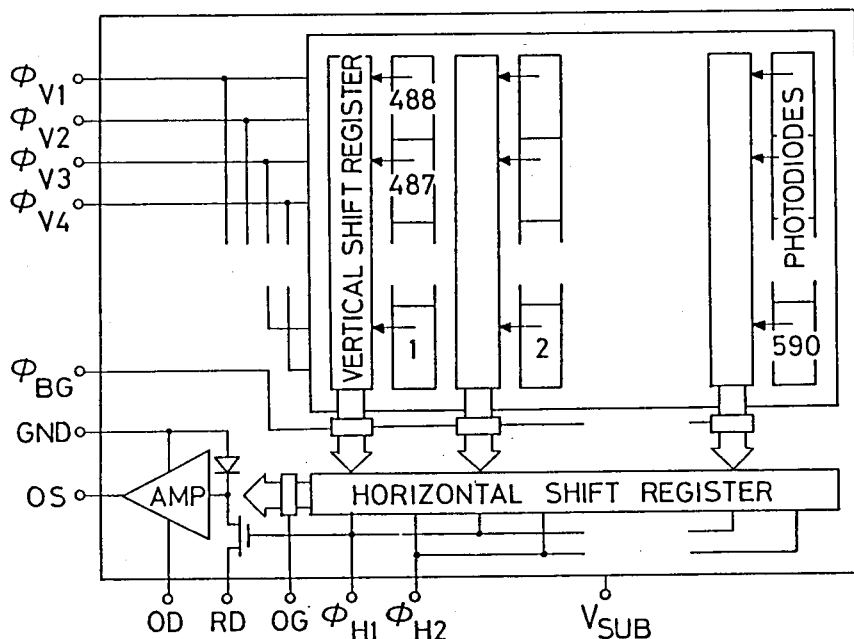


図4-1 SPW構造と n^+-n^-p-n ホットダイオードを用いた撮像素子構成図

平1 5.0 μm であり、有効撮像面は2/3インチ光学系に対応した6.37mm(垂直)×8.55mm(水平)である。またチップ寸法は、8.4mm(垂直)×10.0mm(水平)である。垂直シフトレジスタ、水平シフトレジスタ、出力部は、第3章で述べた580×475画素撮像素子と同一の構成が用いられている。

図4-2は、画素を構成する基本セルと、水平シフトレジスタならびに出力部を含む素子の断面構造を示したものである。基本セルは、ホットダイオード1個と垂直シフトレジスタ1/2ピットからなり、両者はTGL構造により分離されている。

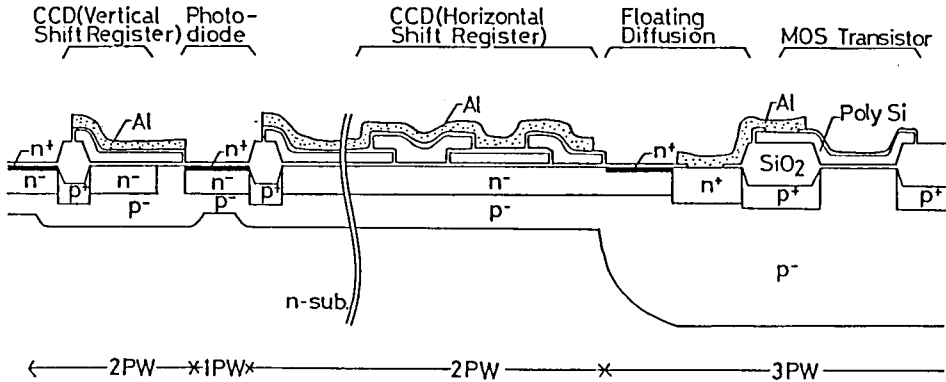


図4-2 素子の断面構造

従来のVOD構造撮像素子では、ホットダイオードを浅いpウェル内に形成し、CCDシフトレジスタと出力部を構成するMOSトランジスタを深いpウェル内に形成していたが、本素子では、3種類のpウェルを用いて、CCDシフトレジスタも浅いpウェル内に形成している。すなわち、ホットダイオードは低濃度で浅いpウェル(1PW)内に形成され、垂直ならびに水平シフトレジスタは、それより僅かに深いpウェル(2PW)内に形成されている。これらのpウェルの深さは、1PWが1.2 μm 、2PWが1.8 μm であり、チャネルストップとn基板の間に印加された逆方向バイアス電圧により、ともに完全に空乏化する。一方出力部は、通常のCMOS ICのpウェルと同様、空乏化がその一部に限られる厚い(約6 μm)pウェル(3PW)内に形成されている。これにより、出力部のMOSトランジスタの安定動作が保障される。

強い光の入射時に発生する過剰電荷は、1PWが完全に空乏化していることにより、従来のVOD構造撮像素子と同様にn基板に流出し、ブルーミングが抑圧される。また、CCD垂直シフトレジスタ下部の2PWも完全に空乏化することにより、スミアが抑圧される。すなわち、従来のVOD構造では垂直シフトレジスタ下部のpウェルの中性領域で光電変換により発生した電荷の一部が拡散により垂直シフトレジスタに流入していたが、SPW構造では垂直シフトレジスタ下部のpウェルは完全に空乏化しているため、電荷の拡散がなく、スミアの大幅な低減が可能となっている。

更にSPW構造の長所として、画素内のpウェルが浅いためp型不純物の横方向拡散が小さく、画素寸法の縮小化が図りやすいことがあげられる。

Chamberlain は、p基板上に形成された $n^+ - p$ 構造ホットダイオードの短波長感度の向上を図るために $n^+ - n^- - p$ 構造⁽⁵⁾を提案したが、本素子のホットダイオードも、従来の $n^+ - p - n$ 構造に n^- 領域を付加した $n^+ - n^- - p - n$ 構造を用いている。本素子の場合、 n^- 領域は中波長感度の向上と分光感度の変動の軽減に寄与する。すなわち、縦型オーバフロートレイン構造では、ホットダイオードへの信号電荷の蓄積とともに実効光電変換領域が浅くなっていくが、 $n^+ - n^- - p - n$ 構造では、次節で詳述するように、ブルーミング抑圧時においても n^- 領域下端まで実効光電変換領域が確保されることによって、分光感度特性の改善が可能となる。

4.3 素子の動作

本素子は、第3章で述べた 580×475 画素撮像素子と同様のクロックタイミングで駆動される。次節で示す特性は、素子をフレーム蓄積モードで駆動して測定したものであるが、この場合垂直シフトレジスタは、下側ポリシリコン層で形成された ϕ_{V2} と ϕ_{V4} 電極には V_L (低)と V_I (中)の2値パルス、上側ポリシリコン層で形成された ϕ_{V1} と ϕ_{V3} 電極には V_L , V_I , V_H (高)の3値パルスが印加されることにより駆動される。 ϕ_{V1} 又は ϕ_{V3} が V_H になったとき、それぞれ偶数番目又は奇数番目のホットダイオードに蓄積していた信号電荷が表面チャネルによる電位障壁を通して垂直シフトレジスタに転送され、ホットダイオードの電位はこの電位障壁の電位にリセットされる。一方、すべてのパルスが V_L と V_I の間で変化しているときには、ホットダイオードと垂直シフトレジスタおよびホットダイオード相互は、クロック配線により形成される表面チャネル電位障壁により分離され、ホットダイオードは光電変換により発生した信号電荷を蓄積していき、一方垂直シフトレジスタは、1水平期間に1ビットずつ、信号電荷を水平シフトレジスタ側へ転送していく。

図4-3は、ホットダイオード部の深さ方向の電位分布を示す概念図であり、(a)は本素子に用いられている $n^+ - n^- - p - n$ 構造の場合、(b)はVOD構造撮像素子に従来用いられていた $n^+ - p - n$ 構造の場合を示している。ここで“Empty”は、ホットダイオードに蓄積していた信号電荷が垂直シフトレジスタに転送され、 n^+ 層の電位が表面チャネルによる電位障壁の電位にリセットされた状態を表しており、“Full”は、強い光の入射により発生した過剰電荷がn基板へ流出することによりブルーミングが抑圧されている状態を表している。また、 x_p は、pウェル内の電位の最も低い点を示している。

光電変換により発生した信号電荷がホットダイオードに蓄積していくとともに、 n^+ 層の電位は降下していく。それと同時に x_p も表面に近づいていく。 x_p より深い部分で発生した電子はすべ

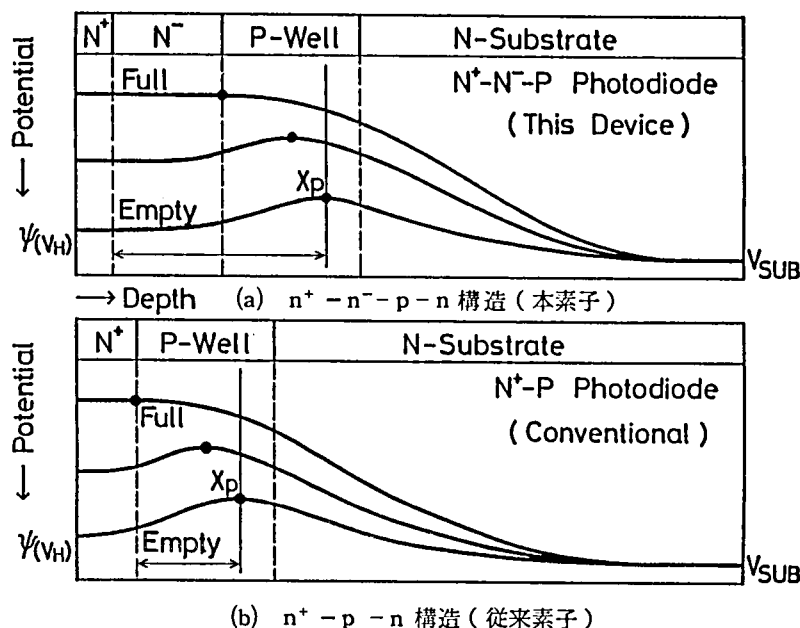


図4-3 ホトダイオード部の深さ方向の電位分布

て n 基板に吸収されるので、実効光電変換領域はシリコン表面より x_p までの部分であり、また、シリコンの吸収係数は長波長ほど小さい。それ故、縦型構造では、信号電荷の蓄積とともに分光感度に変化することになる。

しかしながら本素子では、 n^- 領域が付加されているため、ブルーミング抑圧時においても x_p は n^- 領域と p ウェルの境界に到達するに過ぎず、実効光電変換領域を厚く保つことができる。また、ホトダイオード表面には高濃度の n^+ 層が形成されているため、 n^- 領域を低濃度で形成しても酸化膜中の可動イオンなどにより動作が不安定になることもない。このため、 n^- 領域で光電変換により発生した電子が再結合で失われる率を低く抑えることが容易となる。

以上のように、 $n^+ - n^- - p - n$ 構造ホトダイオードは、低濃度の光電変換領域を厚く保つことができるので、分光感度の変動の抑圧と中波長感度の向上が図れることになる。

4.4 素子の特性

4.4.1 動作条件

本素子の CCD シフトレジスタは、空乏化した p ウェル内に設けられているため、基板の逆バイアス電圧 V_{SUB} （接地された p^+ チャネルストップに対する n 基板の電位）は下限値を持つ。すなわち、 V_{SUB} が低すぎれば n 基板より埋め込みチャネル CCD に電子が注入されてしまうことにな

る。図4-4は、CCD水平シフトレジスタのクロック高レベルと、電子の注入を生じる V_{sub} の最小値との関係を示したものである。図より、 V_{sub} の最小値は、クロックの高レベルが高くなるとともに高くなることがわかり、クロックの高レベルが9Vのときには、 V_{sub} が10V以上必要となる。

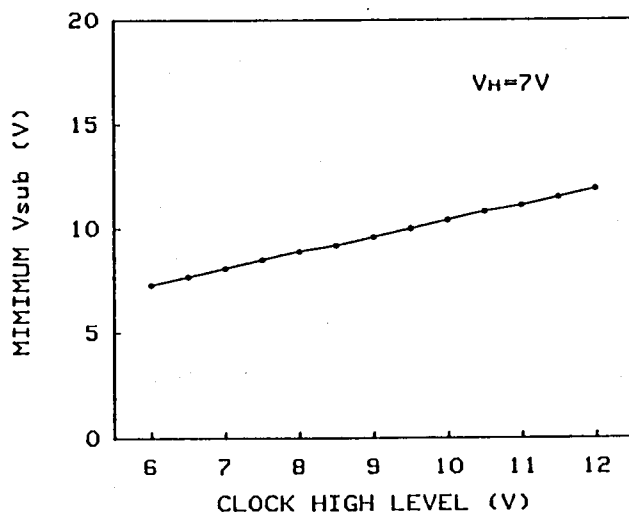


図4-4 クロック高レベルと V_{sub} 下限値の関係

4.4.2 飽和信号電流

図4-5は、飽和信号電流の V_{sub} 依存性を V_H をパラメータとして測定したものである。この測定において、 V_I は表面チャネル領域を正孔が蓄積した状態とするために0Vとし、 V_L は垂直シフトレジスタの転送可能な電荷量が最大となる-4.5Vとした。このとき、垂直シフトレジスタ

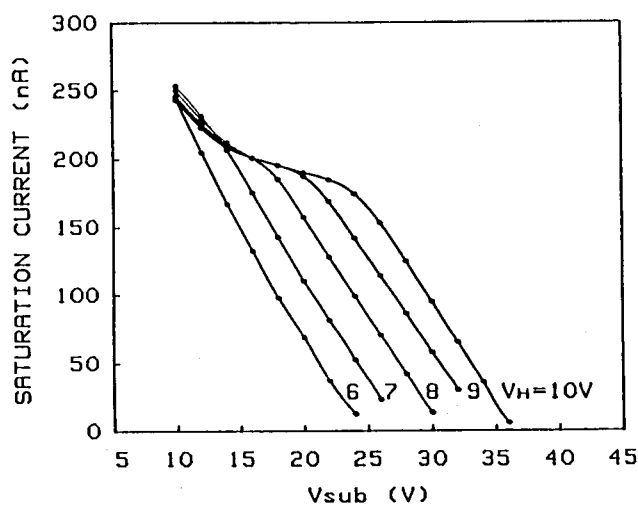


図4-5 飽和信号電流特性

の最大信号電流は200 nAであり、素子の飽和信号電流は、 V_H が高くなるか V_{sub} が低くなるとともにこの値に収束する。また、飽和信号電流は、 V_H を低くするか V_{sub} を高くすれば減少することがわかる。これは、ホットダイオードの最大蓄積電荷量が V_H を低くするか V_{sub} を高くすれば減少する⁽⁶⁾ことによる。それ故、ホットダイオードに蓄積した信号電荷が垂直シフトレジスタに転送されたときに垂直シフトレジスタで溢れることを防ぐためには、 V_H と V_{sub} によりホットダイオードの最大蓄積電荷量を制限すればよい。たとえば、 $V_H=7\text{ V}$ 、 $V_{sub}=15\text{ V}$ とすれば、素子の飽和信号電流はホットダイオード部で決定され、190 nAとなる。このとき、1画素の電子数は、 488×570 画素が1/30 sで読み出されることから、 1.4×10^5 個となる。

以下に示す特性の測定はすべて、 $V_L=-4.5\text{ V}$ 、 $V_I=0\text{ V}$ で行った。また、暗電流の V_{sub} 依存性(図4-7)の測定以外は、 $V_H=7\text{ V}$ 、 $V_{sub}=15\text{ V}$ の一定値を用いた。

4.4.3 暗電流

ホットダイオードの積分時間を変えて暗電流を測定した結果を図4-6に示す。周囲温度は23℃であり、暗電流値は1画素あたりの電子数で表されている。フレーム蓄積モードにおけるホットダイオードの積分時間は、 ϕ_{V1} と ϕ_{V3} が1/60 s毎に交互に V_H となって信号電荷をホットダイオードから垂直シフトレジスタに転送するので1/30 sであるが、この測定では、積分時間を $n/30\text{ s}$ (n は整数)とするために、 ϕ_{V1} と ϕ_{V3} が V_H となるタイミングのみを変更し、 $n/30\text{ s}$ 毎に1度だけそれぞれが V_H となるようにした。このとき垂直シフトレジスタは、通常の駆動時と同じように、連続で駆動されることになる。積分時間が1/30 sのときは通常の駆動時に相当するが、このとき、1画素の暗電流値は電子数で330個である。この値を素子全体の暗電流値に換算すると、黒基準レ

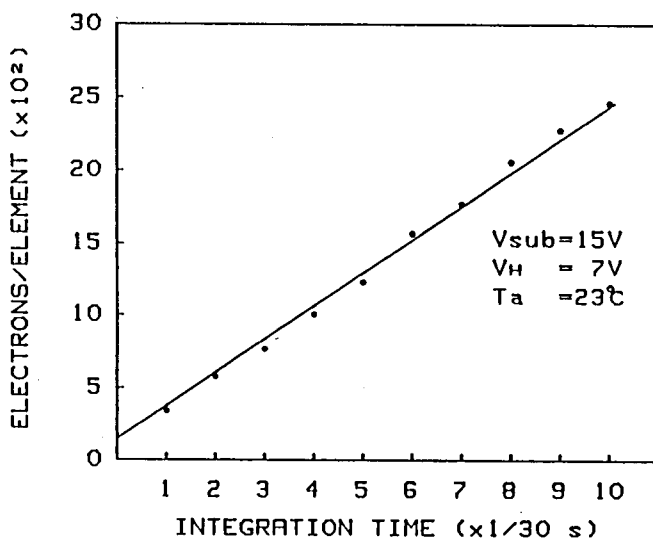


図4-6 暗電流の積分時間依存性

ベル用の画素も暗電流値には寄与するので、 488×590 画素が $1/30$ s間に読み出されることになり、 0.45 nAとなる。また、積分時間が $1/3$ sのときの1画素の暗電流値は、電子数で2400個である。

積分時間が0の場合の暗電流値は、ホットダイオードで発生する暗電流を除いたものに相当するので、図4-6を用いることにより、CCDシフトレジスタで発生する暗電流値をもとめることができる。測定結果を内挿することにより、電子数で150個、すなわち素子全体で 0.20 nAの暗電流がCCDシフトレジスタで発生していることがわかる。

図4-7は、周囲温度 23°C に於ける暗電流の V_{sub} 依存性を V_{H} をパラメータとして測定したものである。 V_{H} が 10 Vの場合を除き、測定結果はそれぞれ2ヶ所で屈曲している。左側の屈曲点よりも V_{sub} が低い領域では、暗電流値は V_{H} に依存し、 V_{H} が高いほど大きい。この理由は、図4-3(a)のホットダイオード部の深さ方向の電位分布図により説明することができる。すなわち、ホットダイオード部で発生した暗電流のうち、表面から x_{p} までの領域で発生したものだけがホットダイオードに蓄積し、 x_{p} より深い部分で発生したものはn基板に吸収されるが、 V_{H} が高いほど n^+ 層の電位も高くなって x_{p} が深くなるので、暗電流値が大きくなる。

V_{sub} を高くしていくと暗電流値は、 V_{H} に依存しない $0.16 \sim 0.20$ nAの一定値へ降下する。この現象は、ホットダイオード部で発生した暗電流がすべてn基板に流出すると考えることにより説明することができる。このことは、前記一定値が、図4-6よりもとめたCCDシフトレジスタで発生する暗電流値の 0.20 nAとはほぼ一致することにより裏付けられる。

V_{sub} を更に高くすることにより生じる右側の屈曲点は、CCDシフトレジスタで発生する暗電流もn基板に流出することによっており、 V_{sub} が 40 V以上では暗電流値はほぼ0となる。

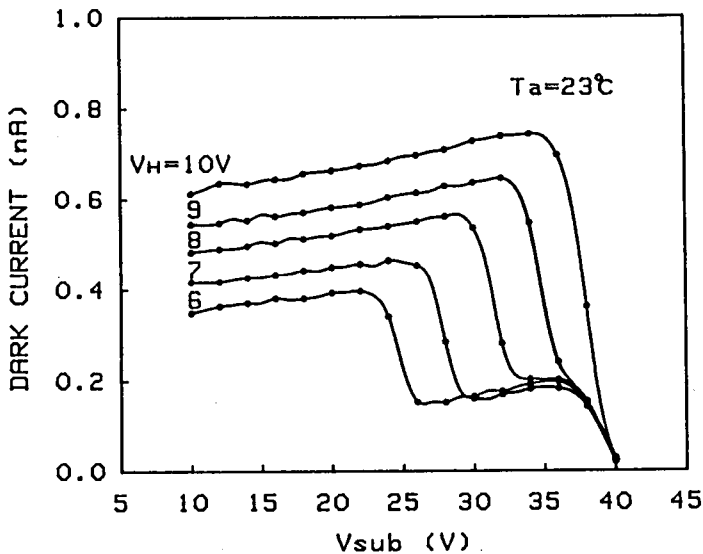


図4-7 暗電流の V_{sub} 依存性

V_H が 10 V の場合には、 V_{sub} を高くしていくと先ず CCD シフトレジスタで発生する暗電流が n 基板へ流出し、続いてホットダイオード部で発生する暗電流も n 基板へ流出することにより、屈曲点が 1 ケ所となっている。

4.4.4 解像度特性

EIAJ 解像度チャートの撮像例を図 4-8 に示す。垂直および水平解像度は、それぞれ 480 TV 本および 420 TV 本である。これらの値は、画素数より導出される理論限界値と一致している。

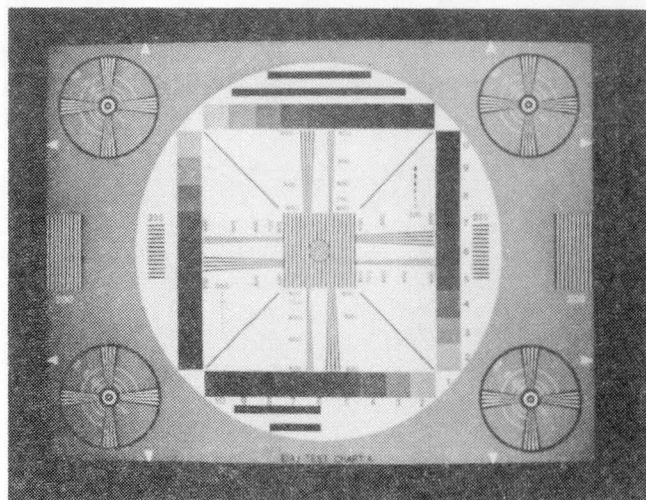


図 4-8 EIAJ 解像度チャート撮像例

4.4.5 スミア特性

100 W タングステンランプの撮像例を図 4-9 に示す。ブルーミングのみならずスミアも充分抑圧されていることがわかる。

図 4-10 は、 $V/10$ (V は撮像部垂直寸法) 角の光スポットが撮像部に照射されたときのスミアの波長依存性を示したものである。SPW 構造により極めて低いスミア値が得られていることがわかる。波長 450 nm におけるスミア値は -84 dB と低く、また、人間の目の視感度が最も高い波長 550 nm に対しても -73 dB である。

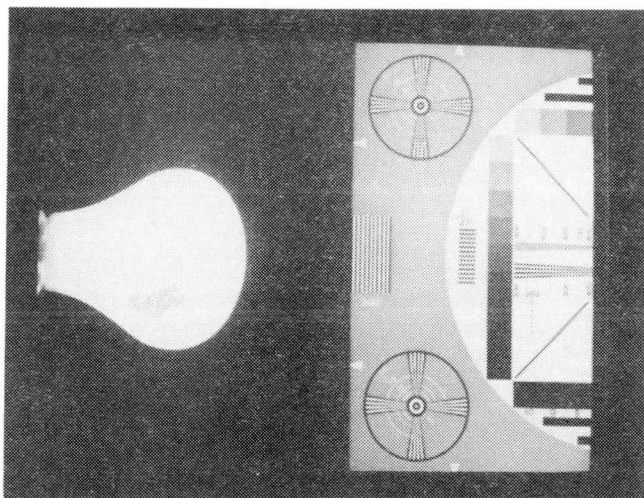


図4-9 スミアの抑圧を示す撮像例

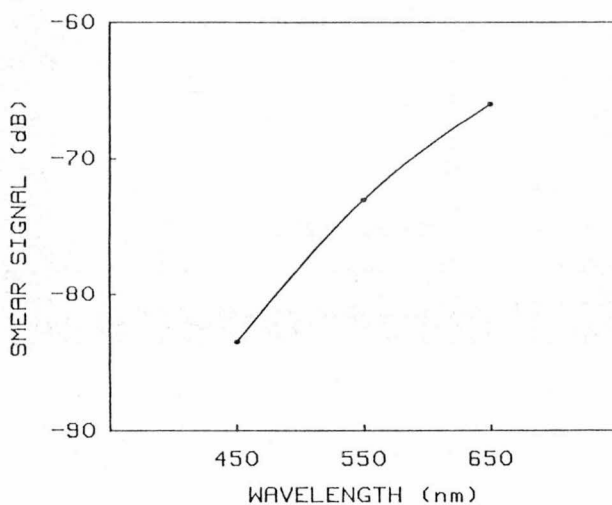


図4-10 スミアの波長依存性

4.4.6 MTF

図4-11は、波長660nmの2 μ m幅の光スリットを垂直方向に移動させたときの出力波形を示したものである。また、図4-12は、3.4.2で述べた方法を用いて図4-11より求めた垂直方向MTFを示したものである。ここで、実線は本素子について、また点線は本素子と同一のマスクを用いて試作したp基板を用いた素子について、それぞれ示している。ナイキスト限界の480TV本におけるMTFは、p基板を用いた素子が0.56であるのに対し、本素子では0.75と高い。SPW構造では、基板深部で光電変換により発生した電荷がn基板に吸収され隣接する画素に混入しないため、このように高い垂直解像度が得られる。一方水平解像度も高いことは、本素子の

スミア値が極めて低いことから明らかであり、このように高い解像度が得られることもSPW構造の長所である。

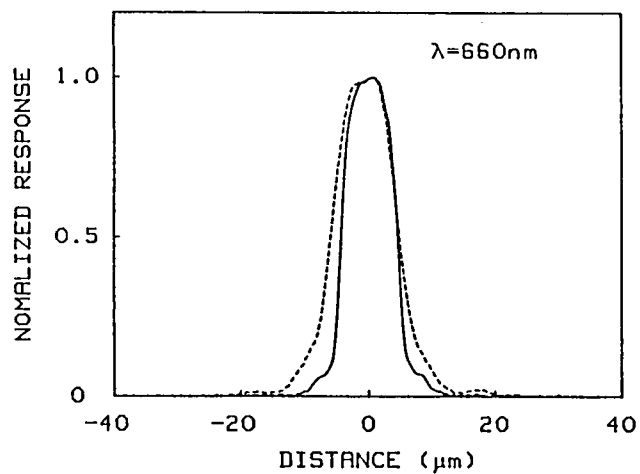


図4-11 光スリットに対する応答
(実線は本素子, 点線はP基板を用いた素子)

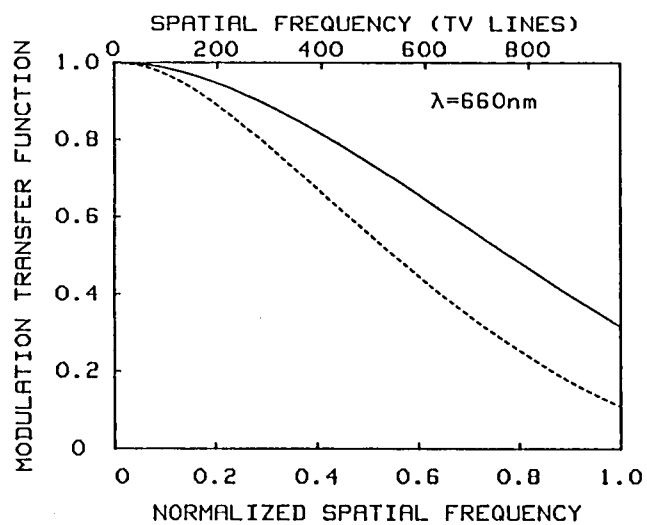


図4-12 垂直方向MTF
(実線は本素子, 点線はp基板を用いた素子)

4.5 ま と め

以上、SPW構造と $n^+ - n^- - p - n$ ホットダイオードを用いた 488×590 画素インターライン転送方式CCD撮像素子について述べた。

SPW構造は、ホットダイオードのみならずCCDシフトレジスタも浅いpウェル上に形成することにより、ブルーミングのみならずスミアも抑圧する新構造であり、この構造を用いた本素子は、スミアを -73 dB (550 nm) にまで低減することができた。また、浅いpウェル上に形成された撮像素子の暗電流特性について詳しく論じ、その基板バイアス依存性について明らかにした。CCDシフトレジスタもn基板との間に印加された逆方向バイアス電圧によって完全に空乏化するpウェル上に形成することによりスミア低減するというSPW構造の概念は、次章で述べるSF PW (shallow flat p-well) 構造にも用いられ、更に発展することになる。

また、 $n^+ - n^- - p - n$ 構造ホットダイオードは、実効光電変換領域を厚く保つことにより、縦型オーバフロードレイン構造であるにも拘らず、中波長感度の向上と分光感度の変動の抑圧を可能とするものである。 $n^+ - n^- - p - n$ 構造ホットダイオードを用いた撮像素子の分光感度特性の測定結果については次章で示す。

参 考 文 献

- (1) S. Miyatake, T. Nagakawa, K. Misawa, H. Kosaza, S. Sakamoto, S. Ogawa, K. Fujino, T. Yamano, K. Iikawa, J. Nakai, O. Matsui, and K. Awane, "A CCD imager on three types of p-wells," in *Extended Abstracts, 1984 Int. Conf. Solid State Devices and Materials*, pp. 333-336 ; also *Jpn. J. Appl. Phys.*, vol. 24, pp. 574-579, May 1985.
- (2) W. F. Kosonocky, J. E. Carnes, M. G. Kovac, P. Levine, F. V. Shallcross, and R. D. Rodgers III, "Control of blooming in charge-coupled imagers," *RCA Review*, vol. 35, pp. 3-24, Mar. 1974.
- (3) Y. Ishihara, E. Oda, H. Tanigawa, N. Teranishi, E. Takeuchi, I. Akiyama, K. Arai, M. Nishimura, and T. Kamata, "Interline CCD image sensor with an antiblooming structure," in *ISSCC Dig. Tech. Papers*, pp. 168-169, 1982.
- (4) K. Horii, T. Kuroda, and T. Kunii, "A new configuration of CCD imager with a very low smear level," *IEEE Electron Device Lett.*, vol. EDL-2, pp. 319-320, Dec. 1981.
- (5) S. G. Chamberlain, "Profiled silicon photodetector for improved blue color and visible wavelength quantum efficiency." in *IEDM Tech. Dig.*, pp. 137-140, 1979.
- (6) 石原, 織田, 谷川, 河野, 寺西, 竹内, 秋山, 鎌田, "縦型オーバーフロー構造CCDイメージセンサ," *テレビ誌*, vol. 37, pp. 782-787, Oct. 1983

第 5 章 高解像度・高感度・低スミア撮像素子

5.1 まえがき

この章では、本研究の集大成と言うべき⁽¹⁾⁽²⁾490×510画素撮像素子と⁽¹⁾⁽³⁾580×500画素撮像素子について述べる。これら2つの撮像素子は、第2章で述べたTGL構造、第3章で述べたCLIP構造、第4章で述べた $n^+ - n^- - p - n$ 構造ホットダイオードに加えて、SFPW (shallow flat p-well) 構造を用いることにより、高解像度、高感度、低スミアを同時に実現したものである。

SFPW構造は、第4章で述べたSPW構造を発展させたものである。SPW構造では、ホットダイオードを浅いpウェル内に形成し、CCDシフトレジスタをそれより僅かに深いpウェル内に形成するため、撮像部に2種のpウェルを必要としていたが、SFPW構造では、撮像部を単一のpウェル内に形成することができる。このpウェルの単一化は、 $n^+ - n^- - p - n$ ホットダイオードの n^- 領域を厚くすることにより可能となったもので、 n^- 領域は強い光の入射時に発生する過剰電荷のn基板への排出経路となる。また、 n^- 領域が厚くなることにより、実効光電変換領域がより厚く保たれることになる。このため、 $n^+ - n^- - p - n$ 構造ホットダイオードの長所である分光感度特性の変動の軽減、中波長感度の向上が、より一層図れることになる。

解像度を向上させるために、素子の価格と使用するレンズの大きさに影響を与える撮像部寸法を大きくすることなく画素数を増加させると、1画素あたりの面積が減少する。このとき、感度を向上させるためには、開口率を大幅に向上させる必要が生じる。一方、固体素子特有の欠点であるスミアは、その除去手段が外部シャッタの使用に限定されるフレーム転送方式を別にすれば、光電変換部から信号転送部への電荷の漏洩により生じるため、開口率を向上させるとスミアの増加を招くおそれがある。このように、解像度と感度の向上、ならびにスミアの低減は相反する命題であるが、この章で述べる2つの撮像素子は、これらを同時に達成することにより、高性能固体撮像素子を実現することを目的とする。

以下、先ず第2節で素子の構造について述べる。続いて、第3節で素子の特性を示す。ここでは $n^+ - n^- - p - n$ 構造ホットダイオードの分光感度特性や、浅いpウェル内に形成された埋め込みチャネルCCDの飽和信号電流特性についても論じる。

5.2 素子の構造

画素数 490 (垂直) $\times 510$ (水平) の素子は、NTSC など走査線 525 本のテレビジョン方式用であり、画素数 580 (垂直) $\times 500$ (水平) の素子は、PAL, SECAM など走査線 625 本のテレビジョン方式用である。撮像素子の垂直画素数は対応するテレビジョン方式で決まるが、水平画素数は解像度の点からは多い方が望ましい。しかしながら、感度やスミアとの兼ね合いとなるため、これら2つの撮像素子は水平画素数を 500 程度とした。このとき、素子の水平解像度は、NTSC方式の水平解像度 (330 TV本) を上廻る。

490×510 画素撮像素子の全体の構成を図5-1に、チップ写真を図5-2に示す。本素子も今まで述べた素子と同様、ホトダイオードを光電変換部に用いたインターライン転送方式により構成されている。画素ピッチは垂直 $13.5 \mu\text{m}$, 水平 $17.2 \mu\text{m}$ であり、有効撮像面は 6.6 mm (垂直) $\times 8.8 \text{ mm}$ (水平) で、2/3インチ光学系に対応している。またチップ寸法は、 8.4 mm (垂直) $\times 10.0 \text{ mm}$ (水平) である。垂直および水平シフトレジスタは、ともに2層ポリシリコン重ね合せ

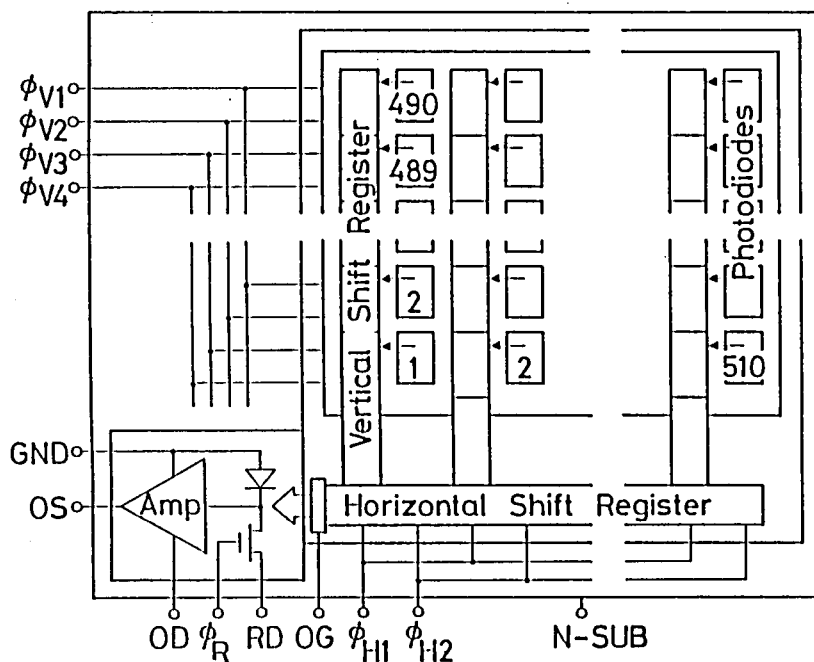


図5-1 490×510 画素撮像素子構成図

ゲート電極構造による埋め込みチャネルCCDで、垂直シフトレジスタは4相駆動方式、水平シフトレジスタはボロニオン注入により転送の方向付けを行った2相駆動方式である。また、出力部は、浮遊拡散層による電荷検出ダイオードと2段ソースフォロウにより構成されている。水平画素数が 510 のため、水平シフトレジスタのクロック周波数を色副搬送波の整数倍とすることができないので、水平シフトレジスタのクロック周波数を水平走査周波数の 609 倍としている。このとき、

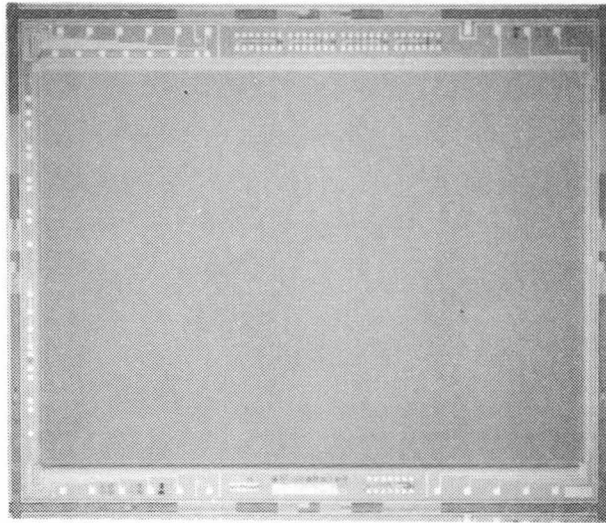


図5-2 490×510画素撮像素子チップ写真

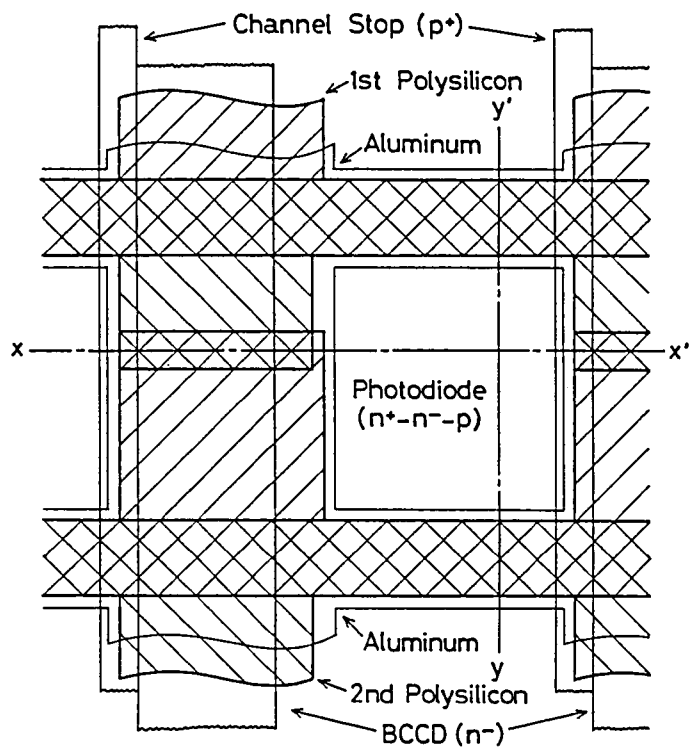
水平帰線期間を除いた有効画素数は505となる。

580×500画素撮像素子も基本的に同一の構成であるが、画素ピッチが異なり、垂直11.4 μm 、水平17.6 μm である。水平シフトレジスタのクロック周波数は、490×510画素撮像素子と同様、水平走査周波数の609倍である。PAL方式では水平走査期間が64 μs 、水平帰線期間が12 μs であるため、有効画素数は495となる。

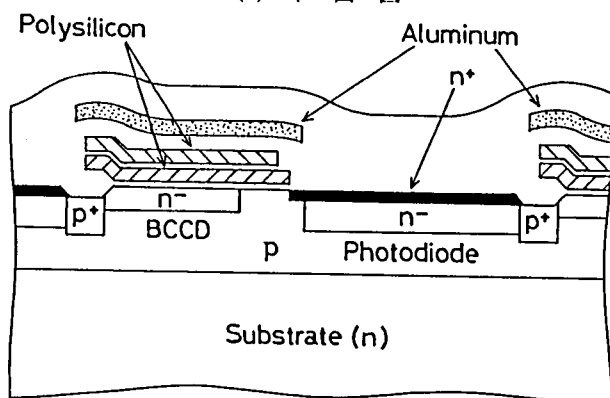
図5-3は、490×510画素撮像素子の撮像部の構造を示したものである。ここで(a)は平面図であり、ホットダイオード1個が垂直シフトレジスタ1/2ビットに対応している。また(b)は平面図のx-x'方向に沿う水平方向断面図、(c)はy-y'方向に沿う垂直方向断面図である。

本素子は、TGL構造、CLIP構造、SFPW構造、 $n^+ - n^- - p - n$ ホットダイオードを用いている。すなわち、TGL構造を用いているため、図5-3(b)からも明らかなように、ホットダイオードと垂直シフトレジスタ間にトランスファゲート電極が不要である。TGL構造により、ポリシリコンが2層で済むだけでなく、有効面積の増大が可能となっている。また、CLIP構造を用いているため、図5-3(c)からも明らかなように、ホットダイオード間に厚い酸化膜やイオン注入によるチャネルストップを必要としない。撮像部のチャネルストップは垂直シフトレジスタに沿ってのみ線状に形成され、画素を水平方向に分離する。CLIP構造により、ホットダイオードの面積を拡大することができ、かつ暗電流の発生源となるLOCOSのバースビーク領域の減少が可能となっている。

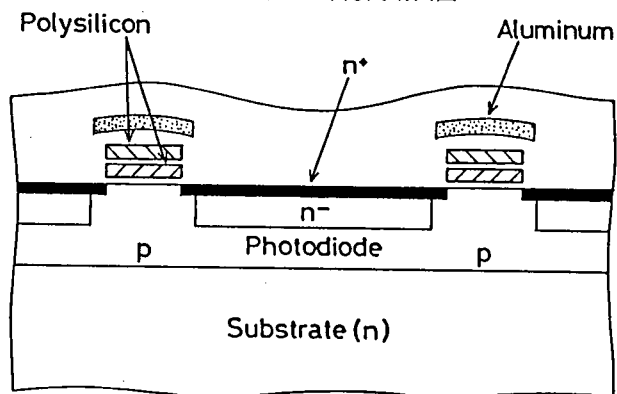
次に、SFPW構造と $n^+ - n^- - p - n$ 構造ホットダイオードについて述べる。本素子のブルーミング抑圧は、過剰電荷をn基板に排出する縦型オーバフロードレイン(VOD)方式を採用してい



(a) 平面図



(b) 水平方向断面図



(c) 垂直方向断面図

図5-3 撮像部の構造

るが、素子の撮像部は、図5-3(b)(c)からも明らかなように、単一のpウェル上に形成されている。⁽⁵⁾⁽⁶⁾⁽⁷⁾
すなわち、従来のVOD方式のCCD撮像素子では、ホットダイオード下部のpウェルを浅くし、垂直シフトレジスタ下部のpウェルを深くするために、撮像部に2種のpウェルを必要としていた。また、第4章で述べた 488×590 画素撮像素子は、SPW構造を用いることにより垂直シフトレジスタ下部のpウェルも浅くなっていたが、撮像部に2種のpウェルを必要としていた。SFPPW構造では、ホットダイオードと垂直シフトレジスタを浅い平坦な単一のpウェル上に形成することができる。このpウェルの単一化は、 $n^+ - n^- - p - n$ ホットダイオードの n^- 領域を厚くすることにより可能となったものである。すなわち、 n^- 領域を厚くすることにより、ホットダイオード下部のpウェルを薄くすることができ、強い光の入射時に発生する過剰電荷をn基板に排出することが可能となる。換言すれば、 n^- 領域は過剰電荷の排出経路として機能することになる。また、 n^- 領域が厚くなることにより、実効光電変換領域が厚く保たれることになる。このため、 $n^+ - n^- - p - n$ 構造ホットダイオードの長所である分光感度特性の変動の軽減、中波長感度の向上が、より一層図れることになる。一方、スマアに対しては、SPW構造の場合と同様の理由により、低減が可能となる。すなわち、 p^+ チャネルストップとn基板の間に印加された逆方向バイアス電圧により垂直シフトレジスタ下部のpウェルも完全に空乏化するため、pウェルの中性領域で光電変換により発生した電荷が拡散によって垂直シフトレジスタへ流入することがない。

さらにSFPPW構造の長所として、セル寸法の縮小化や開口率の向上が図りやすいことがあげられる。この構造では、撮像部のpウェルが単一なので、厚いpウェルを形成するためのp型不純物が横方向に拡散し、ホットダイオード下部の浅いpウェル領域を侵食することがない。SPW構造においても垂直シフトレジスタ下部のpウェルが浅いため、p型不純物の横方向拡散の影響が小さかったが、SFPPW構造では撮像部のpウェルが単一となったため、p型不純物の横方向拡散をほぼや全く考慮する必要がなくなったことになる。厚いpウェルは、集積度にはほとんど影響を与えない出力部のみに用いられ、ソースフォロ回路を構成するMOSトランジスタの安定動作を保障する。

画素の開口寸法は、 $9.5 \mu\text{m}$ (垂直) \times $8.2 \mu\text{m}$ (水平) であり、開口率は34%である。垂直シフトレジスタ電極配線用のポリシリコンが設けられたホットダイオード間は、短波長感度がないの

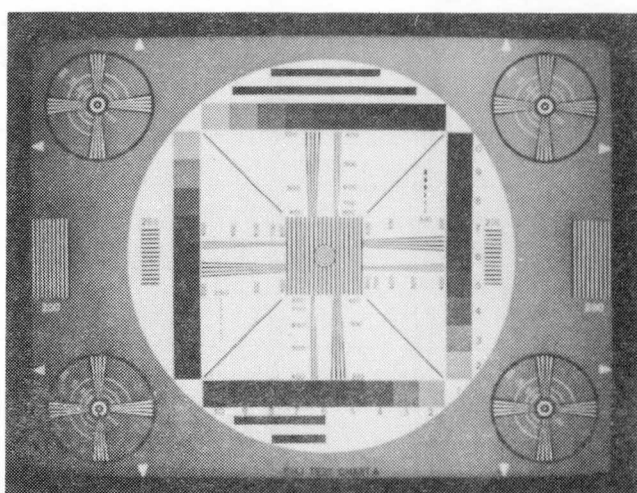
* LOCOS (local oxidation of silicon) は、 S_i の選択酸化を行うための技術である。 S_i 基板上に $S_{i3}N_4$ 膜を被着し、チャネルストップ領域のみホットエッチングによって $S_{i3}N_4$ 膜を除去する。しかる後熱酸化を行うと、 $S_{i3}N_4$ 膜のない部分のみが酸化される。 $S_{i3}N_4$ 膜は酸化後除去するが、酸化時に $S_{i3}N_4$ 膜の端部に S_iO_2 が侵入し、いわゆる bird's beak ⁽⁴⁾ (鳥の嘴) を生じる。バースビーク部分は暗電流の発生源となると報告されている。

で、本素子では $4\mu\text{m}$ 幅のアルミニウムで完全に遮光している。また、 580×500 画素撮像素子の画素の開口寸法は、 $7.4\mu\text{m}$ （垂直） $\times 8.6\mu\text{m}$ （水平）であり、開口率は32%である。

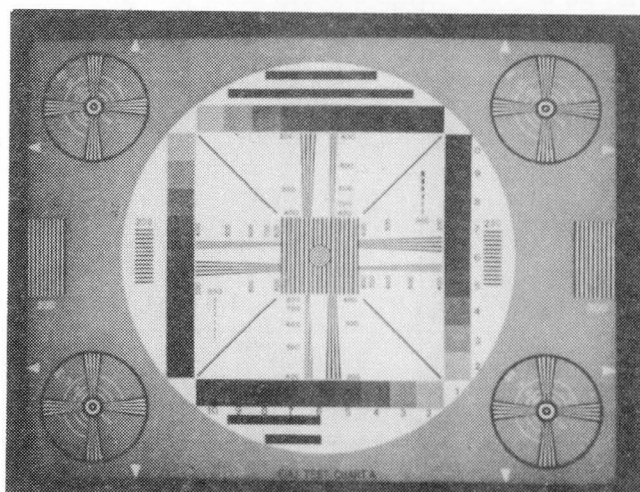
5.3 素子の特性

5.3.1 特性の概要

フレーム蓄積モードで駆動することにより、2つの撮像素子の特性をもとめた。EIA J解像度チャートの撮像例を図5-4に示す。ここで(a)は画素数 490×510 の素子によるものであり、垂直解像度480TV本、水平解像度380TV本が得られている。また(b)は画素数 580×500



(a) 490×510 画素撮像素子



(b) 580×500 画素撮像素子

図5-4 EIA J解像度チャート撮像例

の素子によるものであり、垂直解像度570TV本、水平解像度370TV本が得られている。これらの値は、素子の画素数より導かれる理論限界値にそれぞれ一致している。

表5-1に、2つの撮像素子の主な特性を示す。これらの特性より、2つの撮像素子が高解像度、高感度、低スミアを同時に達成していることがわかる。すなわち、水平解像度が370TV本以上と高解像度化が図られているにも拘らず、感度の主要因である開口率は、32%以上と極めて高い値が得られている。また、このように開口率が高いにも拘らず、波長550nmに対するスミアは、-70dB以下にまで低減されている。

表5-1 490×510画素ならびに580×500画素撮像素子の主な特性

項 目 \ 素 子	490×510画素 撮 像 素 子	580×500画素 撮 像 素 子
垂 直 画 素 数	490	580
水 平 画 素 数	510	500
チ ッ プ 寸 法	8.4mm(V)×10.0mm(H)	
撮 像 部 寸 法	6.6mm(V)×8.8mm(H)	
垂 直 画 素 ピ ッ チ	13.5μm	11.4μm
水 平 画 素 ピ ッ チ	17.2μm	17.6μm
垂 直 開 口 寸 法	9.5μm	7.4μm
水 平 開 口 寸 法	8.2μm	8.6μm
開 口 率	34%	32%
垂直シフトレジスタ駆動周波数	15.734kHz	15.625kHz
水平シフトレジスタ駆動周波数	9.5822MHz	9.5156MHz
飽 和 信 号 電 流	180nA	150nA
暗 電 流 (25℃)	0.5nA以下	
ス ミ ア (550nm, V/10)	-70dB以下	
垂 直 解 像 度	480TV本	570TV本
水 平 解 像 度	380TV本	370TV本

490×510画素撮像素子の飽和信号電流、スミア特性、分光感度特性、MTFについて以下に議論する。なお、素子の接合深さは以下の如くである。

pウェル接合深さ	4.0 μm
埋め込みチャネルn ⁻ 接合深さ	0.4 μm
ホットダイオードn ⁻ 接合深さ	1.8 μm

5.3.2 飽和信号電流

図5-5は、 V_I が一定のときの垂直シフトレジスタ飽和信号電流の V_L 依存性を示したものである。p基板上に埋め込みチャネルCCDが形成された通常の素子の場合、飽和信号電流は、たとえば第3章図3-6(a)に示したように、 V_L の低下とともに増加し V_L がある電圧以下では一定値となるが、本素子では増加したあと逆に減少するという異なった特性を示す。この理由を以下に説明する。

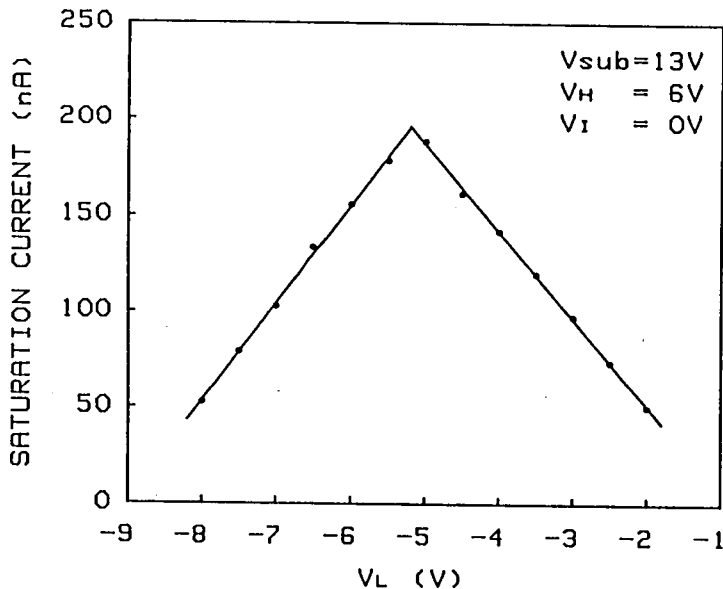


図5-5 490×510画素撮像素子の垂直シフトレジスタ飽和信号電流特性

垂直シフトレジスタは4相駆動方式であるので、 V_I が印加された電極直下部分が蓄積領域を、 V_L が印加された電極直下部分が障壁領域をそれぞれ形成し、飽和信号電流は蓄積領域のチャネル電位が高いほど、また障壁領域のチャネル電位が低いほど大きい。また、埋め込みチャネルCCDでは、3.4.1でも述べたように、ある電圧以下のゲート電圧に対して、埋め込みチャネルCCDのチャネル電位が一定値となるピンング現象を生じ、このとき埋め込みチャネル表面には、ゲート電圧の低下を相殺し表面電位を0Vに保つために、正孔が蓄積される。

通常の素子でも本素子でも、 V_I を一定とし V_L を低下させていくと、表面電位が0Vになる V_{LP} ま

では、障壁領域のチャネル電位が低くなることにより、飽和信号電流は増加する。しかし、 V_L を更に低下させても、表面に正孔が蓄積することにより障壁領域のチャネル電位は低下せず一定値となる。この表面に蓄積した正孔は、通常の素子の場合には、電極に印加されるパルスが V_I になったときチャネルストップ領域を経て p 基板に吸収されるため、 V_I が一定であれば蓄積領域のチャネル電位も一定となる。それ故通常素子では、 V_L が V_{LP} 以下では飽和信号電流が一定となる。

一方、本素子の飽和信号電流が、 V_L の低下とともに増加したあと減少していく現象も、本素子の埋め込みチャネル CCD が浅い p ウェル内に形成されていることを考慮すれば、正孔の表面への蓄積により説明することができる。すなわち、本素子では電極に印加されるパルスが V_I になっても、埋め込みチャネル CCD が浅い p ウェル内に形成されているため、表面に蓄積した正孔は短時間で排除されず残留する。この正孔は、埋め込みチャネルの表面電位の上昇を妨げることににより、チャネル電位の上昇も妨げるため、蓄積領域のチャネル電位が低下し、飽和信号電流が減少する。表面に蓄積する正孔は V_L が低いほど多いので、蓄積領域のチャネル電位の低下も V_L が低いほど大きく、 V_L の低下とともに飽和信号電流が減少していくことになる。

図 5-6 は、 $V_I = 0\text{ V}$ 、 $V_{\text{sub}} = 13\text{ V}$ における垂直シフトレジスタの暗電流を示したものである。暗電流は V_L の低下とともに、空乏層幅が減少していくため徐々に減少していく。そして、 $V_L = -5.5\text{ V}$ 付近で急激に低下する。これは、埋め込みチャネル表面に正孔が蓄積することにより、 $S_i - S_i\text{O}_2$ 界面準位が満たされるためである。⁽⁸⁾

以上より、浅い p ウェル上に形成された埋め込みチャネル CCD では、飽和信号電流値を大きくし、同時に暗電流値を小さく保つためには、駆動パルスの低レベルを比較的正確に設定する必要がある。

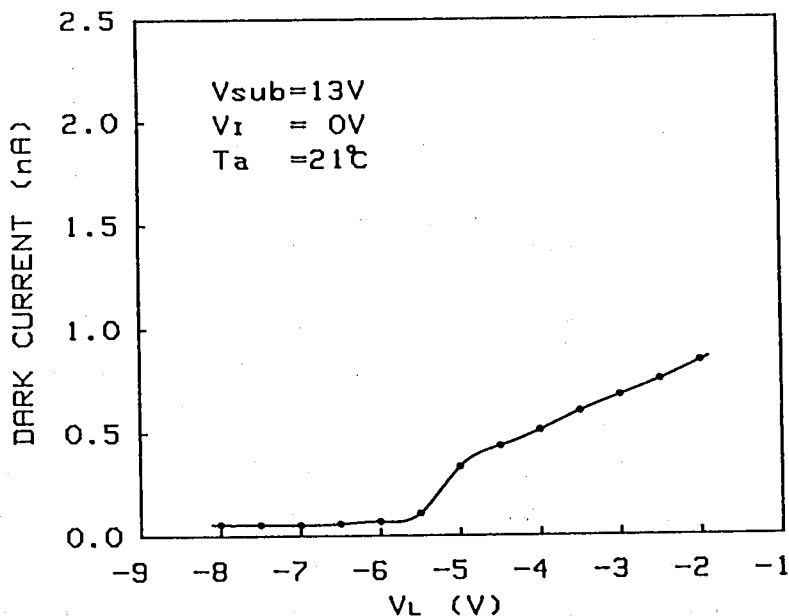


図 5-6 490×510 画素撮像素子の垂直シフトレジスタ暗電流特性

あることがわかる（この素子では $V_L \simeq -5.5\text{ V}$ ）。

図5-7は、ホットダイオードの飽和信号電流の V_{sub} 依存性を V_H をパラメータとして測定したものである。ホットダイオードの飽和信号電流は、第4章で述べた 488×590 画素撮像素子と同様、 V_H を低くするか、 V_{sub} を高くすれば減少することがわかる。それ故、垂直シフトレジスタ内で信号電荷が溢れることを防止するためには、 V_H と V_{sub} によりホットダイオードの飽和信号電流を制限すればよい。たとえば、 $V_L = -5.5\text{ V}$ のときには、 $V_H = 6\text{ V}$ 、 $V_{\text{sub}} = 18\text{ V}$ とすれば、素子の飽和信号電流はホットダイオード部により決定され、約 180 nA となる。

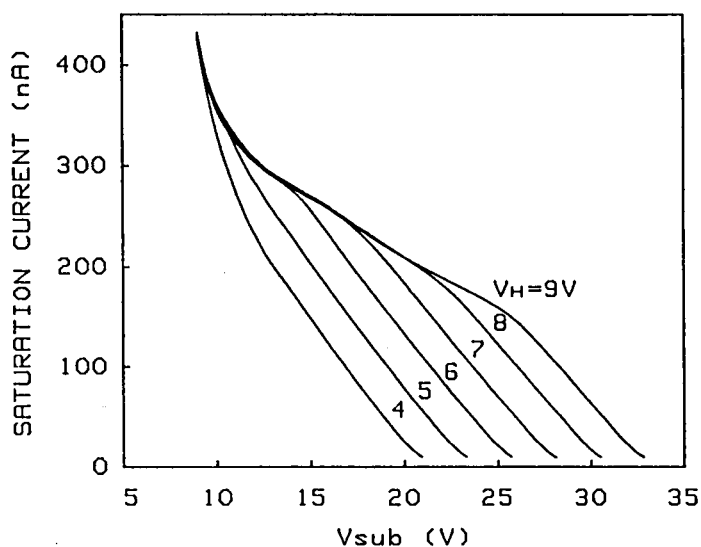


図5-7 490×510画素撮像素子のホットダイオード飽和信号電流特性

5.3.3 スミア特性

図5-8は、 $V/10$ （ V は撮像部垂直寸法）角の光スポットが撮像部に照射されたときの、スミアの波長依存性を示したものである。開口率が34%と高いにも拘らず、波長450nmに対するスミア値は-77dBであり、550nmに対しても-70dB以下である。

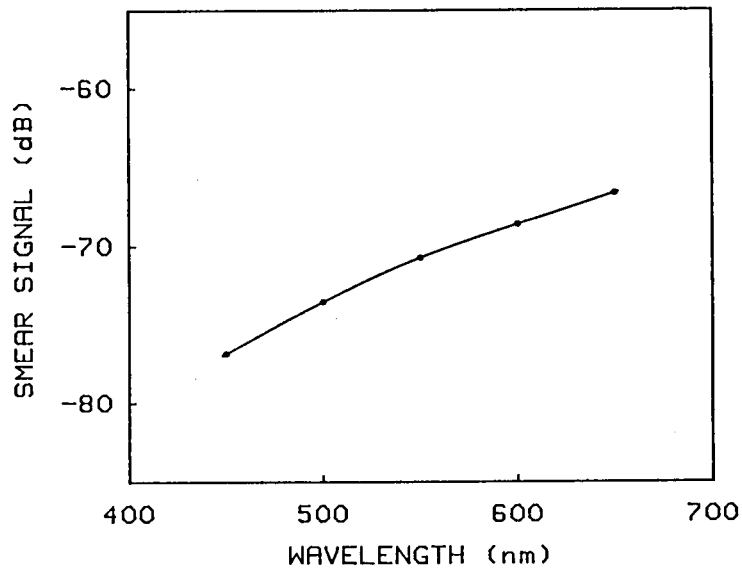


図5-8 490×510画素撮像素子のスミアの波長依存性

5.3.4 分光感度特性

図5-9は、素子の開口部に対する絶対感度の波長依存性を示したものである。可視光全域にわたって多重干渉による凹凸がなく、かつ高い量子効率を得られていることがわかる。感度のピークは600nm付近にあり、400nmにおいても60%を超える量子効率を得られている。また、 V_H や V_{sub} を変えても分光感度はほとんど変動しないことがわかる。

本素子のpウェルの深さは4.0 μm 、ホトダイオード部n⁻層の深さは1.8 μm であるが、比較

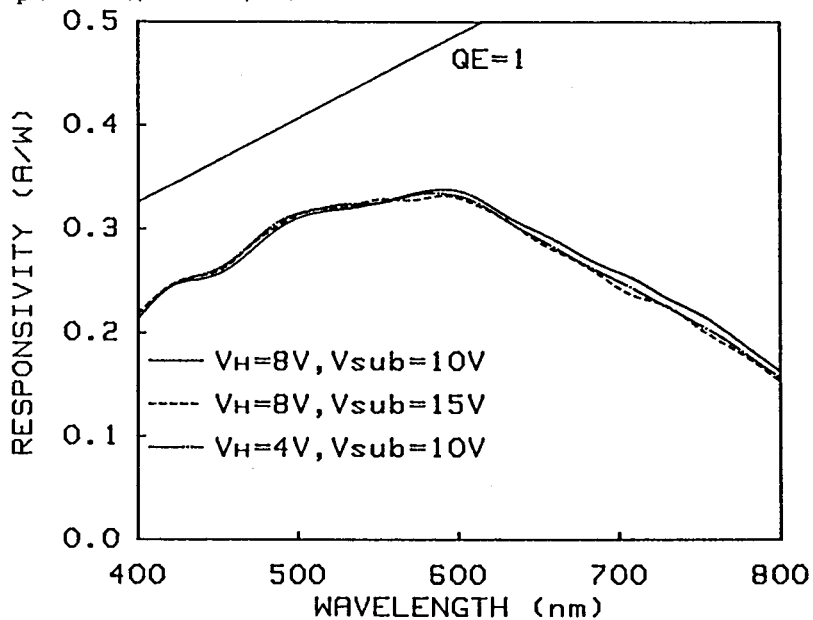


図5-9 490×510画素撮像素子の分光感度特性

のために試作した n^- 層の浅い素子の分光感度特性を図5-10に示す。この比較用素子の n^- 層の深さは $0.4\ \mu\text{m}$ と浅くなっているが、 p ウェルの深さを $2.0\ \mu\text{m}$ と浅くすることにより、約 $5\ \text{V}$ 高い V_{sub} で過剰電荷が n 基板に排出されるようになっている。図5-10を図5-9と比べると、比較用の素子は中長波長領域の感度が低く、また、 V_H や V_{sub} が変わると分光感度が変動することが分る。

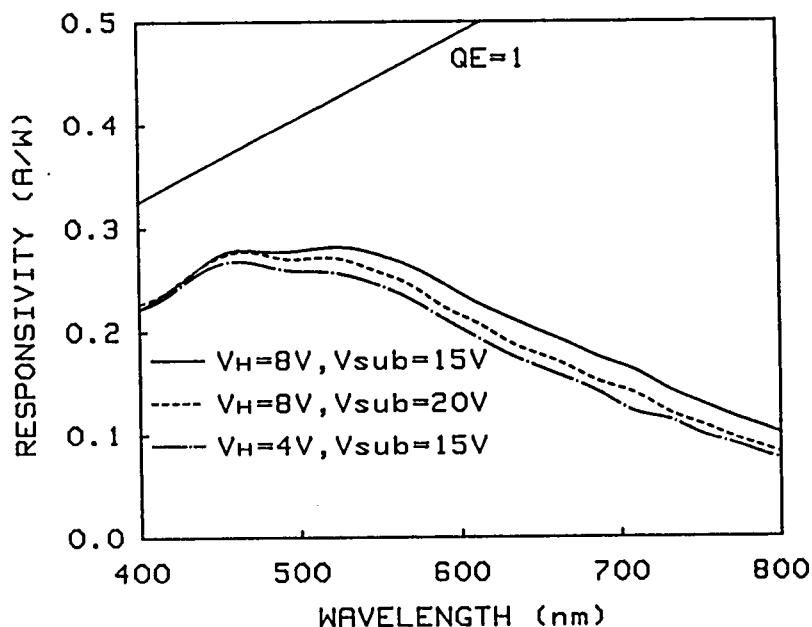


図5-10 比較用素子の分光感度特性

ホットダイオードの n^+ 層のリセット電位は V_H により決まり、また、ホットダイオードに信号電荷が蓄積していくとともに n^+ 層の電位が低下していくので、 V_H の変化はホットダイオードに蓄積している信号電荷量の大小に対応していることになる。比較用の素子では、 V_H が $4\ \text{V}$ 変化すると、例えば $550\ \text{nm}$ における感度は約 10% 変化するのに対し、本素子では、 V_H を変えても感度はほとんど変化しないので、信号電荷量に依らずほぼ同一の分光感度が得られることがわかる。

以上のように、 n^+-n^-p-n 構造ホットダイオードは、 n^- 領域を厚くすることにより、オーバーフローレインをホットダイオード下部に設けているにも拘らず、中波長感度の向上と分光感度の変動の抑圧が図れることがわかる。

5.3.5 MTF

図5-11と図5-12は、MTFの実測値と計算値を示したものであり、図5-11は垂直方向、図5-12は水平方向を示している。実測値は、 $2\ \mu\text{m}$ 幅の光スリット(波長 $600\ \text{nm}$)を移動させて得られた応答より、3.4.2で述べた方法を用いて求めたものである。一方計算値は、画素

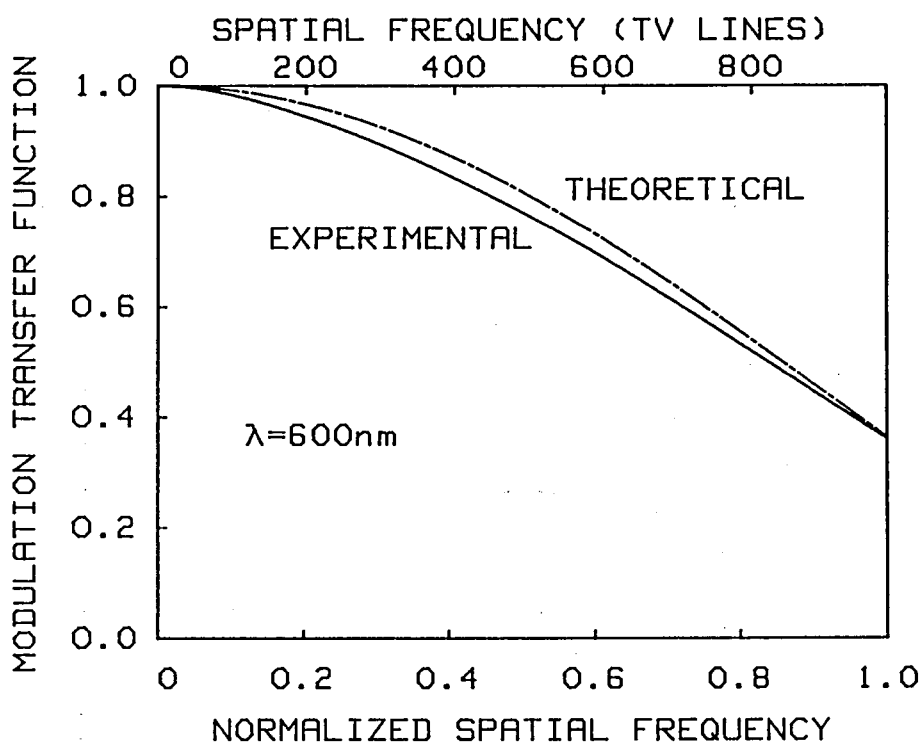


図5-11 490×510画素撮像素子の垂直方向MTF

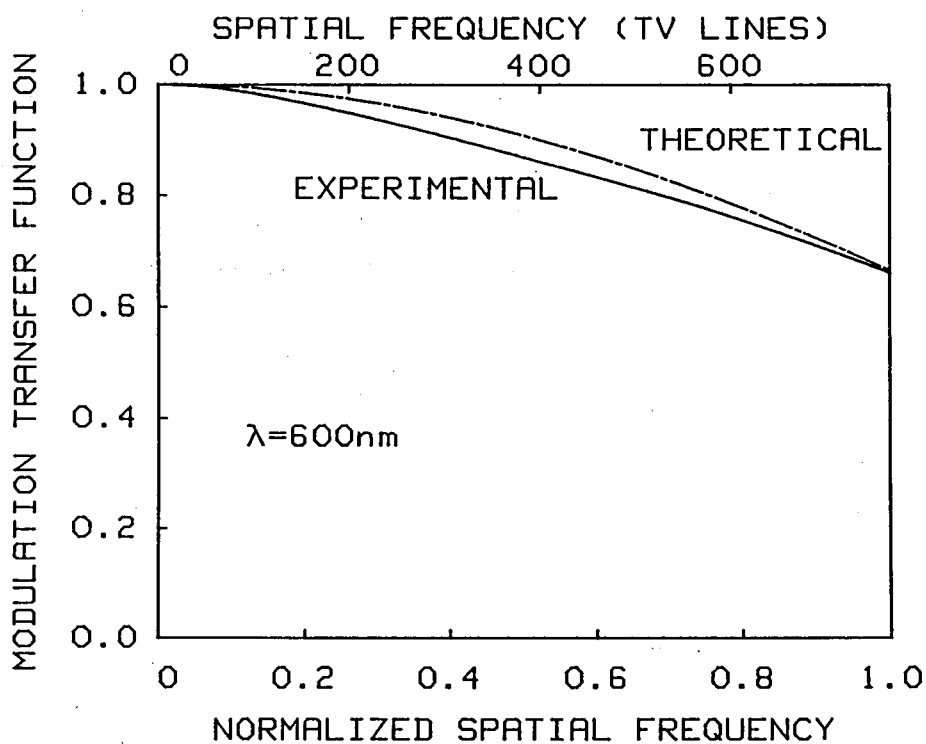


図5-12 490×510画素撮像素子の水平方向MTF

ピッチと開口寸法より求めた理論限界値である。

すなわち

$$MTF = \sin(\pi f_s a) / \pi f_s a$$

$$a = \ell / L$$

ここで f_s は正規化空間周波数であり、 L は画素ピッチ、 ℓ は開口寸法である。

SFPW構造を用いた本素子は、基板深部で光電変換により発生した電荷が n 基板に吸収され隣接する画素に混入しないため、理論限界値に近い実測値が得られていることがわかる。これは単板カラー化時にも画素間の混色が極めて少ないことを示しており、SFPW構造のもうひとつの長所といえる。

5.4 ま と め

以上、 490×510 画素ならびに 580×500 画素 2/3 インチ光学用インターライン転送方式 CCD 撮像素子について述べ、これらの素子が、TGL構造、CLIP構造、SFPW構造を用いることにより、解像度を決定する画素数の増加、感度の主な要因である開口率の向上、固体撮像素子特有の欠点であるスミアの低減を同時に達成していることを示した。更に、第4章で提案した $n^+ - n - p - n$ 構造ホットダイオードを用いた本素子の分光感度特性は、可視光全域にわたって多重干渉による凹凸がなく、かつ高い量子効率を得られ、信号電荷の蓄積によってもその特性がほとんど変動しないことを示した。また、MTFは画素寸法で決まる理論限界値に近い値が得られ、画素間の干渉も極めて少ないことを示した。

更に、浅い p ウェル上に形成された埋め込みチャネル CCD の飽和信号電流特性が、駆動パルスの低レベルに対して極値を持つことを示し、この現象が埋め込みチャネル CCD の表面領域への正孔の残留によるものであることを明らかにした。

固体撮像素子は、撮像管と比較して多くの固有の長所を持つが、VTRの普及と固体の登場が刺激⁽⁹⁾ となって急速に特性の向上した撮像管に解像度と感度で劣り、また、撮像管には見られないスミアという欠点があった。しかしながらこの章で述べた2つの撮像素子は、スミアの大幅な低減を達成し、解像度と感度に関しても、家庭用ビデオカメラの主流である1/2インチ撮像管を凌ぐ^{*}ことから、ここにおいてすべての点で撮像管を凌駕する固体撮像素子が実現されたといえる。

＊ 1/2インチ撮像管を用いた単管式カラービデオカメラの水平解像度は300TV本、最低被写体照度はF1.2レンズ、補色フィルタを用いて10lx程度(S/N35dB)である。

一方、490×510画素の本撮像素子を用いた単板式カラービデオカメラの水平解像度は380TV本、最低被写体照度はF1.4レンズ、原色フィルタを用いて14lx(S/N35dB)である。⁽¹⁰⁾撮像管と同じように色再現性では不利な補色フィルタを用いれば、感度は約2倍に向上する。

参 考 文 献

- (1) S.Miyatake, T.Nagakawa, K.Misawa, H.Kosaza, S.Sakamoto, S.Ogawa, K.Takii, O.Matsui, and K.Awane, "A shallow flat p-well structure for interline-transfer CCD image sensors," *IEEE Trans. Electron Devices*, vol.ED-33, pp.458-463, Apr. 1986.
- (2) 宮武, 永川, 三沢, 小佐々, 坂本, 小川, 山野, 飯川, 仲井, 滝井, 松井, 粟根, "浅く平坦なpウェルを用いた490(V)×510(H)画素CCD撮像素子," *テレビ誌*, vol.40, pp.871-877, Sep. 1986.
- (3) T.Nagakawa, S.Miyatake, H.Kosaza, K.Misawa, M.Okuno, K.Iikawa, S.Sakamoto, S.Ogawa, O.Matsui, and K.Awane, "A 580×500-element CCD imager with a shallow flat p-well," in *ISSCC Dig. Tech. Papers*, pp.98-99, Feb. 1985.
- (4) P.K.Chatterjee, G.W.Taylor, A.F.Tasch Jr., and H.-S.Fu, "Leakage studies in high-density dynamic MOS memory devices," *IEEE Trans. Electron Devices*, vol.ED-26, pp.564-576, Apr. 1979.
- (5) Y.Ishihara, E.Oda, H.Tanigawa, N.Teranishi, E.Takeuchi, I.Akiyama, K.Arai, M.Nishimura, and T.Kamata, "Interline CCD image sensor with an antiblooming structure," in *ISSCC Dig. Tech. Papers*, pp.168-169, 1982.
- (6) 松長, "2/3"多画素センサ," *テレビ学全国大会*, 3-9, 1983.
- (7) 堀居, 黒田, 松本, 栗山, 広島, 国井, "小型CCD固体撮像素子の検討," *テレビ誌*, vol.37, pp.788-794, Oct. 1983.
- (8) N.S.Saks, "A technique for suppressing dark current generated by interface states in buried channel CCD imagers," *IEEE Electron Device Lett.*, vol.EDL-1, pp.131-133, July 1980.
- (9) 石橋, 伏木, "家庭用ビデオカメラの要求にこたえ, 活発な動きを見せる固体撮像素子と撮像管," *日経エレクトロニクス*, no.358, pp.155-176, 1984.

- (10) 小堀, 石田, 林, 二田, 徳野, 保田, “高解像度CCDビデオカメラシステム,”
テレビ学全国大会, 4-6, 1985.

第 6 章 結 論

従来の撮像管は電子ビームを走査することにより信号電荷を読み出すのに対し、固体撮像素子では自己走査により信号電荷を読み出す。このため、固体撮像素子は、撮像管と比較して数多くの魅力的な特長を持つが、克服すべき課題も多い。単板カラー撮像素子に適した方式であるインターライン転送方式は構造が複雑であり、また、固体撮像素子にはスミアという撮像管には見られない欠点があった。更に、固体撮像素子は、急速に特性の向上した撮像管に感度と解像度で劣っていた。⁽¹⁾

本研究においては、固体撮像素子の欠点の解消と特性の向上を図るために、以下の新構造を提案した。

- (1) TGL (transfer gate-less) 構造
- (2) CLIP (clock-line-isolated photodiode) 構造
- (3) SPW (shallow p-well) 構造
- (4) SFPW (shallow flat p-well) 構造
- (5) $n^+ - n^- - p - n$ 構造ホットダイオード

TGL構造とCLIP構造によって、インターライン転送方式よりトランスフェグレート電極およびホットダイオード間のチャンネルストップを除去することが可能となり、インターライン転送方式の構造の複雑さは大幅に低減された。また、画素の有効面積の増大も可能となった。SPW構造とこの構造を更に発展させたSFPW構造により、固体撮像素子特有の欠点であったスミアの大幅な低減が可能となった。また、 $n^+ - n^- - p - n$ 構造ホットダイオードにより、画素の有効面積の減少を避けてブルーミング抑圧を行うためにホットダイオード下部にオーバフロードレインを設ける縦型構造においても、分光感度の変動の抑圧と中波長感度の向上が可能となった。TGL構造、CLIP構造、SFPW構造、 $n^+ - n^- - p - n$ 構造ホットダイオードを用いた 490×510 画素ならびに 580×500 画素撮像素子は、解像度を決定する画素数の増加、感度の主要因である開口率の向上、固体特有の欠点であるスミアの低減などを同時に達成することにより、固体撮像素子の高性能化を実現した。この素子の解像度と感度は、家庭用ビデオカメラの主流である1/2インチ撮像管を凌ぎ、スミアの大幅な低減と固体が持つ固有の特長と相俟って、すべての点で撮像管を凌駕する固体撮像素子が実現されたといえる。

⁽²⁾
MOSLSIには、スケーリング則と呼ばれる比例縮小則がある。これによると、MOSトランジスタのチャンネル長を $1/k$ にすると、ゲート膜厚や接合深さなど垂直方向の寸法とチャンネル幅など水平方向の寸法および電源電圧を $1/k$ にし、基板濃度を k 倍にすれば、性能指数である電力遅延積は $1/k^3$ に改善される。すなわち、MOSLSIでは微細加工技術の進展とともに、集積度

の向上によって、コストの低下と特性の向上が同時に図れることになる。電源電圧が据え置かれたことや、ホットエレクトロンの問題は存在するものの、MOSメモリはほぼこのスケーリング則に従って発展してきたといえる。

固体撮像素子も今日まで、新構造の提案に加えて、微細加工技術の進展とともに発展してきたが、撮像素子においては、画素面積の減少は直ちに感度の低下となる。これは、一般のLSIへの入力信号が電気信号であるのに対し、撮像素子では光信号であることによる。たとえば、光電変換部の寸法を $1/k$ にすれば、信号電荷量は $1/k^2$ に減少するが、信号電荷量の平方根で与えられるショット雑音は $1/k$ にしか減少しないので、 S/N は $1/k$ に低下してしまう。このように固体撮像素子の縮小化には基本的な制約があり、高性能化を図るためには、微細加工技術の進展だけではなく、新構造の導入が不可欠である。それ故にまた、今後の発展への期待も大きいと考える。

参 考 文 献

- (1) 石橋, 伏木, “家庭用ビデオカメラの要求にこたえ, 活発な動きを見せる固体撮像素子と撮像管,” 日経エレクトロニクス no. 358, pp. 155-176, Dec. 1984
- (2) R.H.Dennard, F.H.Gaensslen, H.-N. Yu, V.L.Rideout, E. Bassous, and A.R. LeBlanc, “Design of ion-implanted MOSFET's with very small physical dimensions,” *IEEE J. Solid-State Circuits*, vol. SC-9, pp. 256-268, Oct. 1974.

謝

辞

本論文をまとめるにあたり、終始御懇切なる御指導と御討論を賜った京都大学工学部 川端昭教授に衷心より御礼申し上げます。

また、本論文の作成にあたり、京都大学工学部 田丸啓吉教授、松波弘之教授には御懇篤なる御検討と御教示を賜りました。厚く御礼申し上げます。

本研究の機会を与えていただき、終始御懇切なる御教示と御鞭撻を賜り、また本論文の作成を御懇意いただいたシャープ株式会社常任顧問（前副社長）佐々木正博士に厚く御礼申し上げます。

本論文をまとめるにあたり、終始御懇切なる御教示と御鞭撻を賜ったシャープ株式会社専務取締役 I C 事業本部長 浅田篤博士に厚く御礼申し上げます。

本研究の遂行および論文の作成にあたり、終始御懇切なる御教示、御忠告をいただいたシャープ株式会社技術本部中央研究所副所長 栗根克昶氏に厚く御礼申し上げます。

本論文をまとめるにあたり、終始御懇切なる御教示、御忠告をいただいたシャープ株式会社 I C 事業本部超 L S I 開発研究所長 三宅隆一郎氏ならびに A1111 プロジェクトチーム副統轄 川本博久博士に厚く御礼申し上げます。

本研究の遂行および論文の作成にあたり、終始有益な御教示、御忠告をいただいたシャープ株式会社 I C 事業本部 A1111 プロジェクトチーム A グループチーフ 松井脩氏ならびに A1111 プロジェクトチームの各位に深く感謝致します。

末筆ながら、本研究の遂行にあたり、終始有益な御討論と御協力をいただいたシャープ株式会社技術本部、I C 事業本部、電子機器事業本部の各位に深く感謝致します。

本論文に関する発表文献リスト

国際会議における発表

- (1) S.Miyatake, S.Ogawa, K.Fujino, K.Misawa, T.Nagakawa, T.Watanabe, O.Matsui, and K.Awane, "An interline-transfer CCD imager with floating photodiodes," in *Tech. Dig., IEEE International Electron Devices Meeting*, Washington, DC, Dec. 8-10, 1980, pp. 342-345. (本論文第2章に対応)
- (2) S.Miyatake, T.Nagakawa, K.Misawa, M.Okuno, O.Matsui, and K.Awane, "A CCD imager with 580×475 clock-line-isolated photodiodes," in *Dig. Tech. Papers, IEEE International Solid-State Circuits Conference*, New York, Feb. 23-25, 1983, pp. 262-263. (第3章に対応)
- (3) S.Miyatake, T.Nagakawa, K.Misawa, H.Kosaza, S.Sakamoto, S.Ogawa, K.Fujino, T.Yamano, K.Iikawa, J.Nakai, O.Matsui, and K.Awane, "A CCD imager on three types of p-wells," in *Extended Abstracts, International Conference on Solid State Devices and Materials*, Kobe, Aug. 30-Sep. 1, 1984, pp. 333-336. (第4章に対応)

論文誌への掲載

- (4) S.Miyatake, T.Nagakawa, H.Kosaza, K.Misawa, M.Okuno, K.Takii, O.Matsui, and K.Awane, "Operation and characteristics of a CLIP imager," *IEEE Trans. Electron Devices*, vol. ED-32, no. 8, pp. 1469-1474, Aug. 1985. (第3章に対応)
- (5) S.Miyatake, T.Nagakawa, K.Misawa, H.Kosaza, S.Sakamoto, S.Ogawa, K.Fujino, T.Yamano, K.Iikawa, J.Nakai, O.Matsui, and K.Awane, "A CCD imager on three types of p-wells," *Jpn. J. Appl. Phys.*, vol. 24, no. 5, pp. 574-579, May 1985. (第4章に対応)

- (6) S.Miyatake, T.Nagakawa, K.Misawa, H.Kosaza, S.Sakamoto,
S.Ogawa, K.Takii, O.Matsui, and K.Awane, "A shallow flat
p-well structure for interline-transfer CCD image sensors,"
IEEE Trans. Electron Devices, vol. ED-33, no.4, pp.458-463,
Apr.1986. (第5章に対応)
- (7) 宮武, 永川, 三沢, 小佐々, 坂本, 小川, 山野, 飯川, 仲井, 滝井, 松井, 栗根, "浅く
平坦なpウェルを用いた490(V)×510(H)画素CCD撮像素子," テレビジョン学
会誌 vol.40, no.9, pp.871-877, Sep.1986. (第5章に対応)